

Consiglio Nazionale delle Ricerche

**ISTITUTO DI ELABORAZIONE
DELLA INFORMAZIONE**

PISA

*Contratto di collaborazione Tecnico Scientifica
Centro Leonardo Spa-IEI/CNR*

**Progetto e funzionamento del modulo di
di acquisizione ed elaborazione di segnali in
tempo reale LeonardC25-ver.02**

G.Bertini

Nota Interna B4 - 57
novembre 1992

**Contratto di collaborazione tecnico-scientifica
Leonardo Spa-IEI/CNR**

G. Bertini : Modulo di acquisizione ed elaborazione digitale in tempo reale di segnali LeonardC25 (versione 02). Descrizione del progetto di upgrade, funzionamento e realizzazione dei prototipi.

INDICE

Introduzione

- 1) Specifiche di up-grade dei moduli LeonardC25
- 2) Architettura del modulo
- 3) Layout e settaggi
- 4) Schema logico e descrizione delle sottounità
 - a) microprocessore
 - b) banchi di memoria
 - c) interfaccia con l'elaboratore ospite
 - d) circuito di reset
 - e) convertitore A/D-D/A interno
 - f) circuiti di condizionamento dei segnali analogici
 - g) seriale esterna
- 5) Realizzazione del PCB
- 6) Montaggio prototipi e test hardware
- 7) Il monitor e il colloquio con l'elaboratore ospite
- 8) Applicazioni

Bibliografia

Appendice

Modulo di acquisizione ed elaborazione digitale in tempo reale di segnali LeonardC25 (versione 02). Descrizione del progetto, funzionamento e realizzazione dei prototipi.

Introduzione

La Leonardo Spa - Centro Tecnologico Culturale - è una società di recente costituzione con settori di attività nella progettazione hardware, software e nella formazione specialistica, sia in ambito commerciale che tecnico. Una delle attività di rilievo è rappresentata da ricerche nel campo della acquisizione ed elaborazione dei segnali in tempo reale per applicazioni industriali, nel settore biomedico, nell'audio digitale, ecc..

La scelta della Leonardo è quella di sviluppare su proprie specifiche apparati e software di supporto al DSP in ambiente PC; questa decisione è motivata dalla conseguente possibilità di adattare i dispositivi creati a diverse esigenze e di predisporre il software di base al fine di agevolare lo sviluppo di programmi applicativi.

In tale direzione la Soc. Leonardo aveva iniziato una collaborazione con l'IEI, in particolare con il Rep. di Elaborazione Segnali ed Immagini e con il Laboratorio Elettronico, attivi da tempo nel settore (1,2,3), che ha portato alla realizzazione di alcuni prototipi di schede per PC IBM compatibili, per l'elaborazione in tempo reale di segnali audio, denominati LeonardC25 e descritti nella nota tecnica (4).

Successivamente la suddetta società, che è titolare del progetto ARIETE, relativo all'abbattimento di rumori acustici con tecniche di controllo attivo (5), ha stipulato con l'IEI un contratto di collaborazione tecnico-scientifica nel quale uno dei temi riguarda per l'appunto il progetto e lo sviluppo di apparati utilizzabili per simulazioni e per lo studio di tecniche di controllo attivo del rumore (6).

Per poter effettuare più agevolmente l'acquisizione di segnali provenienti da vari tipi di sorgenti (sensori microfonici, segnali digitali, ecc) nei vari ambienti sperimentali e per riottenerli elaborati in uscita è stato deciso di mettere a punto una versione della scheda opportunamente modificata e migliorata a partire dai prototipi LeonardC25-01. In questa nota vengono dapprima riportate le specifiche di up-grade proposte per il modulo definitivo e poiché le modifiche apportate interessano molte parti del circuito, successivamente verranno descritti in modo completo architettura, schemi elettrici, realizzazione dei PCB* e procedure di test della nuova versione, nel suo complesso.

* Il progetto del PCB è stato effettuato da A. Landucci e al montaggio dei vari prototipi hanno partecipato anche M. Moretto e A. Moretto.

Lo sviluppo ed i test dei prototipi sono stati seguiti anche dall'Ing. M. Marani. (coll. est. Leonardo Spa).

1) Specifiche di up-grade dei moduli LeonardC25.

Il prototipo base sviluppato inizialmente è dotato di un nucleo di calcolo basato sul microprocessore DSP della Texas Instruments, il TMS320C25 (7), possiede 128kword di Data Ram, è inseribile nel bus PC-IBM e compatibili e comunica con il modo esterno tramite un connettore che consente il collegamento con la porta seriale bidirezionale a 5 Mbit/s del suddetto microprocessore. Successivamente è stato progettato e realizzato, sempre in collaborazione con la Leonardo, un prototipo più compatto, detto LeonardC25/D, contraddistinto da una minore quantità di memoria, ma contenente a bordo l'integrato TLC32040, un convertitore A/D-D/A della Texas Instruments completo di filtri (8), connesso direttamente alla porta seriale del micro DSP, con il quale è possibile acquisire e riottenere, elaborati dal DSP, segnali in banda vocale tramite ingressi ed uscita analogici posti sul retro della scheda.

Utilizzando alcuni esemplari di questi prototipi, in seno alla Leonardo sono stati messi a punto i meccanismi di colloquio con l'elaboratore ospite, è stata sviluppata una prima versione del software residente ed un insieme di tools, comprendente fra l'altro un Editor ed un Debugger (in via di completamento). Dopo aver effettuato diverse esperienze di uso dei prototipi ed implementate alcune applicazioni utilizzando come convertitore il TLC32040 (9), è stato deciso di realizzare e ingegnerizzare un'ulteriore versione del modulo prendendo come base la LeonardC25/D, ampliandone però le prestazioni con alcune aggiunte suggerite dall'estensore di questa nota, con lo scopo di aumentarne la flessibilità di uso, ad esempio per consentire il trattamento di segnali analogici di varia provenienza sia col convertitore a bordo, che con altri tipi di convertitori esterni.

Le modifiche principali introdotte sono di seguito elencate:

- degli amplificatori operazionali a guadagno programmabile via software sui due segnali di ingresso del TLC interno;
- un circuito di commutazione controllato via software che consente di connettere la porta seriale del TMS320C25 al TLC interno oppure, tramite un connettore, ad un dispositivo esterno alla scheda;
- la possibilità di inviare richieste di interrupts verso il PC;
- la possibilità di utilizzare dall'esterno della scheda un certo numero di segnali di controllo in ingresso ed in uscita dal TMS320C25 (Interrupts, XF, ecc.) selezionabili via software e con dei ponticelli;
- modifica ai circuiti di interfaccia preposti al riconoscimento degli indirizzi generati dal PC con variazione degli indirizzi con cui vengono scelte le funzioni sulla scheda da parte del PC e la selezione delle schede stesse per poterne gestire comodamente fino ad un massimo di otto (sistemi multischeda);

Tutto ciò ha reso necessario ovviamente un aggiornamento del firmware (Monitor) e del software su PC (Editor) per la gestione della scheda così modificata e denominata LeonardC25-02.

2) Architettura del modulo

In figura 1 è mostrata l'architettura del modulo LeonardC25-02. Rimandando ai successivi paragrafi i dettagli realizzativi, ne descriviamo le parti principali e le caratteristiche essenziali:

- un microprocessore DSP TMS320C25 con frequenza di clock a 40 MHz, a 16 bit, in grado di eseguire un ampio set di istruzioni tipiche del DSP, fra cui citiamo la moltiplicazione/somma di due operandi (multiply/accumulate) che viene eseguita in 100 ns. Per mantenere le caratteristiche di compattezza richieste è stata adottata lo stesso nucleo di calcolo della LeonardC25/D e quindi si è confermato l'impiego di questo microprocessore, giustificato da una serie di motivi, fra cui il buon rapporto prestazioni/costo, il fatto che tale dispositivo è tuttora uno standard industriale ed è supportato da una serie di tools di sviluppo continuamente aggiornato come editor, debugger, assembler, ecc.. Inoltre, il software sviluppato per il TMS320C25 può essere impiegato eventualmente anche da alcuni processori più veloci della generazione successiva (TMS320C50), di recente apparizione sul mercato.
- un banco di memoria RAM da 28 kwords e un banco di memoria EPROM da 4 kwords, allocati nello spazio di memoria programma del microprocessore.
- un'interfaccia parallela di comunicazione bidirezionale con l'elaboratore ospite. La volontà di mantenere la compatibilità con i PC di tipo XT, ha avuto come conseguenza il fatto che per l'interfacciamento è stato usato il bus dati a 8 bit del PC.

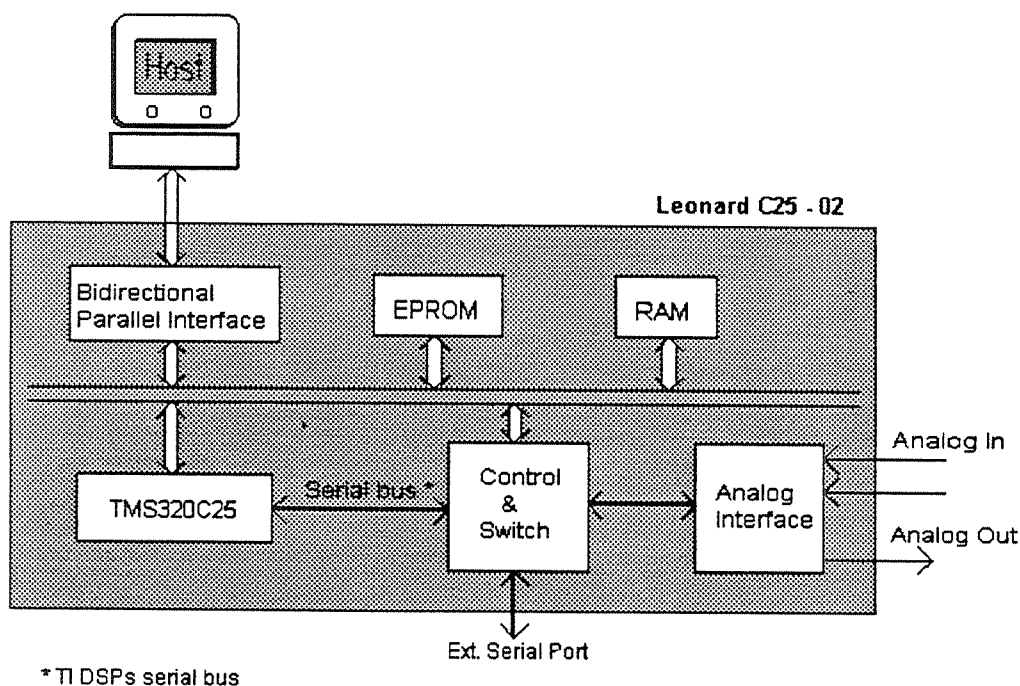


Fig. 1 Architettura Leonard C25-02

Poichè il bus dati del TMS320C25 è a 16 bit le operazioni di comunicazione sono eseguite in due tempi. L'interfaccia è inoltre in grado di inviare richieste di interrupt al controllore di interruzioni dell'elaboratore ospite.

- un'interfaccia verso il mondo dei segnali analogici costituita da un convertitore integrato A/D-D/A e da una sezione di condizionamento per i segnali di ingresso. La scheda è provvista di tre prese RCA per i due ingressi e per l'uscita analogica.
- una porta seriale esterna: il modulo può comunicare con dispositivi esterni tramite una comunicazione seriale full-duplex (bidirezionale) con velocità massima di 5 Mbit/s, che permette l'implementazione del protocollo seriale della Texas Instruments offerto dal microprocessore. Il collegamento è realizzato con un connettore Canon a 15 poli.
- un'apposita rete (Control & Switch) che effettua la commutazione della porta seriale del TMS sul convertitore interno o verso la seriale esterna.

Nella realizzazione pratica del circuito sono stati impiegati integrati della serie TTL Fast, o Fact ed LS, nei casi in cui la velocità rappresentava un fattore critico, mentre negli altri casi sono stati utilizzati dispositivi della serie HC o HCT.

Per quanto riguarda il progetto del circuito stampato, considerando le frequenze di lavoro e il numero dei componenti impiegati, le esperienze precedenti hanno suggerito la sua realizzazione con quattro strati: i due strati esterni destinati ai collegamenti, mentre quelli interni per le tensioni di alimentazione e per la massa, provvedono ovviamente alla funzione di schermatura e di adattamento elettrico fra gli strati contenenti le piste. In figura 2 è mostrata una fotografia digitalizzata della scheda.

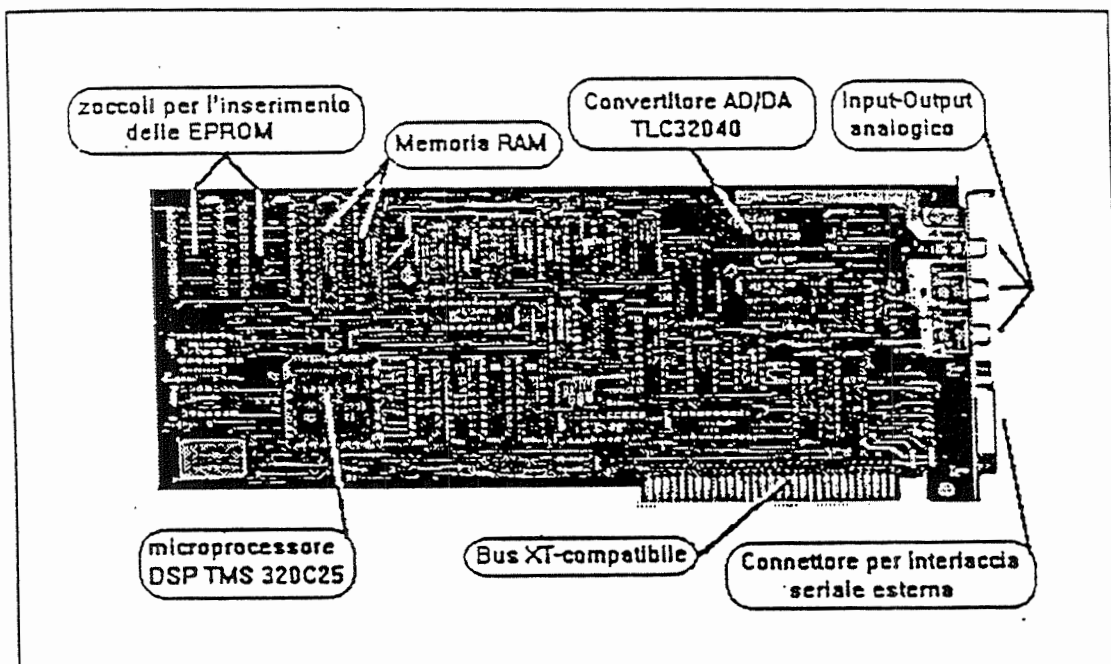


Fig. 2 La scheda Leonard C25-02

3) Layout e settaggi

Il modulo necessita di alcuni settaggi da effettuarsi prima dell'installazione fisica nel PC. Nella fig.3 è riportata la disposizione pratica dei componenti con rappresentati i settaggi riferiti alla configurazione tipica della scheda.

Il gruppo dei DIP switches SW1 è relativo all'impostazione dell'indirizzo base nello spazio di I/O. E' importante assicurarsi che l'indirizzo base impostato e i sette indirizzi successivi non siano già utilizzati da altri dispositivi installati nel PC. Di seguito riportiamo la tabella di corrispondenza fra posizione dei DIP switches e indirizzo base:

SW1 - 1	SW1 - 2	SW1 - 3	SW1 - 4	Indirizzo Base
ON	ON	ON	-	300H
ON	ON	OFF	-	308H
ON	OFF	ON	-	310H
ON	OFF	OFF	-	318H
OFF	ON	ON	-	320H
OFF	ON	OFF	-	328H
OFF	OFF	ON	-	330H
OFF	OFF	OFF	-	338H

Ovviamente se vengono installati più moduli Leonard C25-02 sarà necessario impostare per ognuno di essi un diverso settaggio dell'indirizzo base.

I rimanenti settaggi sono effettuabili mediante jumpers secondo le seguenti configurazioni:

Gruppo JP2 .. JP7: settaggio interruzioni del TMS320C25.

Alle due linee di interrupt /INT0 e /INT1 è possibile inviare alternativamente le richieste da PC oppure dal mondo esterno (pin 15 del connettore Canon), secondo il posizionamento dei jumpers JP2 .. JP6. L'inserimento del jumper JP7 pone a massa il pin 15. Di seguito riportiamo una tabella con le configurazioni di maggior interesse per il programmatore.

JP2	JP3	JP4	JP5	JP6	JP7	/INT0	/INT1
inserito	escluso	escluso	escluso	escluso	inserito	attivo / PC	disattivo
inserito	escluso	escluso	inserito	escluso	inserito	attivo / PC	attivo / PC
escluso	inserito	escluso	inserito	inserito	escluso	attivo/Canon	attivo / PC
inserito	escluso	inserito	escluso	inserito	escluso	attivo / PC	attivo/Canon

Gruppo breakers J1 : settaggio delle richieste di interrupt dalla scheda al PC (IRQi).

E' possibile inviare la richiesta di interrupt su una fra quattro linee previste dal bus PC-IBM (IRQ3, IRQ4, IRQ5, IRQ7), inserendo un jumper in una delle quattro posizioni possibili (rispettivamente P2, P3, P4, P5). I programmatori che intendono utilizzare tale risorsa, devono assicurarsi che la linea di interrupt non sia utilizzata da altri dispositivi installati nell'elaboratore ospite.

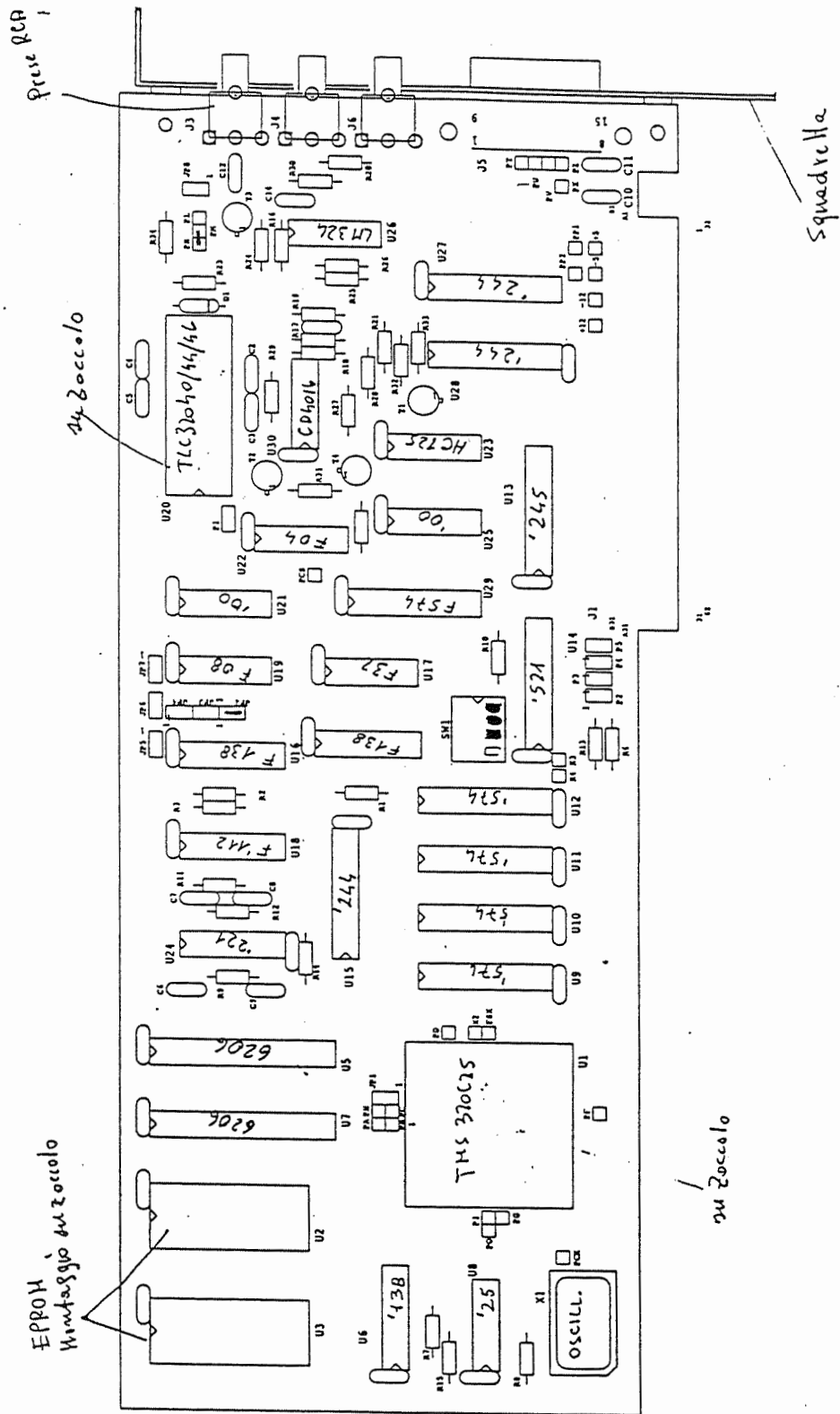


Fig.3 Layout della scheda Leonard C25-02

Gruppo P1, PN, PM, PL: consentono di predisporre la scheda per tipi diversi di convertitori della famiglia TLC320x, come riportato nella seguente tabella:

P1	PN	PL	Convertitore
-	Inserito	Escluso	TLC32040
-	Inserito	Escluso	TLC32044
Inserito	Escluso	Inserito	TLC32046

Jumper JP8: se disinserito, disaccoppia in continua l'uscita analogica.

Inoltre alcuni segnali di controllo in ingresso ed in uscita dal TMS (XF, /IACK, ...) possono essere resi disponibili sul connettore Canon con ponticelli da inserire tramite operazioni di saldatura. La linea READY per il controllo dello wait-state, è invece definita mediante il jumper JP1.

Infine per particolari applicazioni il progettista può assegnare al connettore Canon le tensioni di ± 12 al posto di ± 5 tramite 'taglio di pista e saldatura di ponticelli'; è ovvio che tali operazioni al pari di quelle sui segnali di controllo del TMS devono essere effettuate con adeguata cautela e solo da progettisti competenti.

Riassumendo, nella configurazione tipica della scheda devono essere inseriti i seguenti jumpers: JP1, JP2, JP7 e JP8. L'indirizzo base deve essere 300H.

Gruppo P1,-PN, PM, PL: consentono di predisporre la scheda per tipi diversi di convertitori della famiglia TLC320x, come riportato nella seguente tabella:

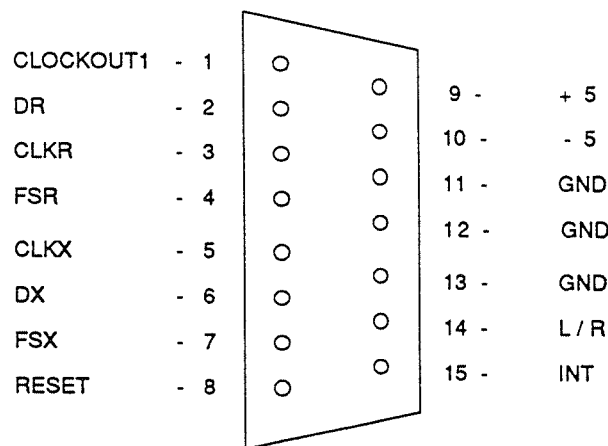
P1	PN	PL	Convertitore
-	Inserito	Escluso	TLC32040
-	Inserito	Escluso	TLC32044
Inserito	Escluso	Inserito	TLC32046

Jumper JP8: se disinserito, disaccoppia in continua l'uscita analogica.

Inoltre alcuni segnali di controllo in ingresso ed in uscita dal TMS (XF, /IACK, ...) possono essere resi disponibili sul connettore Canon con ponticelli da inserire tramite operazioni di saldatura. La linea READY per il controllo dello wait-state, è invece definita mediante il jumper JP1.

Infine per particolari applicazioni il progettista può assegnare al connettore Canon le tensioni di ± 12 al posto di ± 5 tramite 'taglio di pista e saldatura di ponticelli'; è ovvio che tali operazioni al pari di quelle sui segnali di controllo del TMS devono essere effettuate con adeguata cautela e solo da progettisti competenti.

Riassumendo, nella configurazione tipica della scheda devono essere inseriti i seguenti jumpers: JP1, JP2, JP7 e JP8. L'indirizzo base deve essere 300H.



Schema di connessione elettrica del connettore Canon

4) Schema logico e descrizione delle sottounità

Per una descrizione del funzionamento delle varie parti del modulo, facciamo riferimento alla figura 4, nella quale sono evidenziati i blocchi componenti le sottounità, i collegamenti del bus dati e indirizzi, e quelli dei principali segnali di controllo.

Per quanto riguarda l'interfaccia con l'elaboratore ospite sono indicati i blocchi: Parallel I/O, costituita da registri di tipo latch per la bufferizzazione dei dati di scambio con il microprocessore; Card Selection, che attiva l'interfaccia di comunicazione quando il PC effettua un'operazione di I/O che si riferisce al modulo; Control Logic, che invia il comando opportuno (Y) alle varie sottounità, in base al tipo di operazione richiesta dal PC e gestisce le richieste di interrupt inviate dal microprocessore.

I blocchi I/O TMS e Memory Selection sono costituiti da reti che abilitano le unità selezionate e inviano i segnali di comando in base al tipo di operazione richiesta dal microprocessore.

Il banco delle memorie RAM è stato implementato con due chip MC6206 della Motorola (32 kbyte ciascuno, 28 pin DIP), con tempi di accesso tali da non richiedere al microprocessore cicli di wait-states. Da notare che pur essendo allocata nello spazio programma del microprocessore, la memoria può essere utilizzata anche per bufferizzare dati, tramite le istruzioni TBLR e TBLW.

Il banco di memoria EPROM da 4 kwords è realizzato con due chip 57C43B della WaferScale (4 kbyte ciascuno, 24 pin DIP) per i quali non sono necessari cicli di wait-states e contiene, oltre al monitor, una tabella della funzione seno. Il blocco Reset Circuit fornisce il Master-reset al processore e gli altri segnali di reset ai vari dispositivi per l'inizializzazione del sistema, sia all'accensione del PC, sia quando richiesto dall'elaboratore ospite tramite comandi via software.

Il blocco Control & Switch effettua la commutazione della porta seriale del TMS sul convertitore interno o verso la seriale esterna, tramite un'operazione di I/O del TMS e la scelta è specificabile dal PC al momento della configurazione iniziale od in qualsiasi altro momento.

Il dispositivo di conversione è costituito dall'integrato TLC32040 della Texas Instruments, contraddistinto da un buon rapporto costo/prestazioni, che implementa al suo interno le funzioni A/D-D/A e le funzioni di filtraggio, con possibilità di programmazione della frequenza di campionamento.

I segnali analogici di ingresso al convertitore (IN e AUX) sono trattati da una sezione di condizionamento, realizzata con amplificatori operazionali, a guadagno controllabile a scatti via software, tramite un'operazione di I/O del TMS.

Sui collegamenti dell'interfaccia seriale esterna che implementano il protocollo seriale della Texas Instruments per il DSP, sono interposti dei buffers per provvedere al disaccoppiamento elettrico del microprocessore con il mondo esterno.

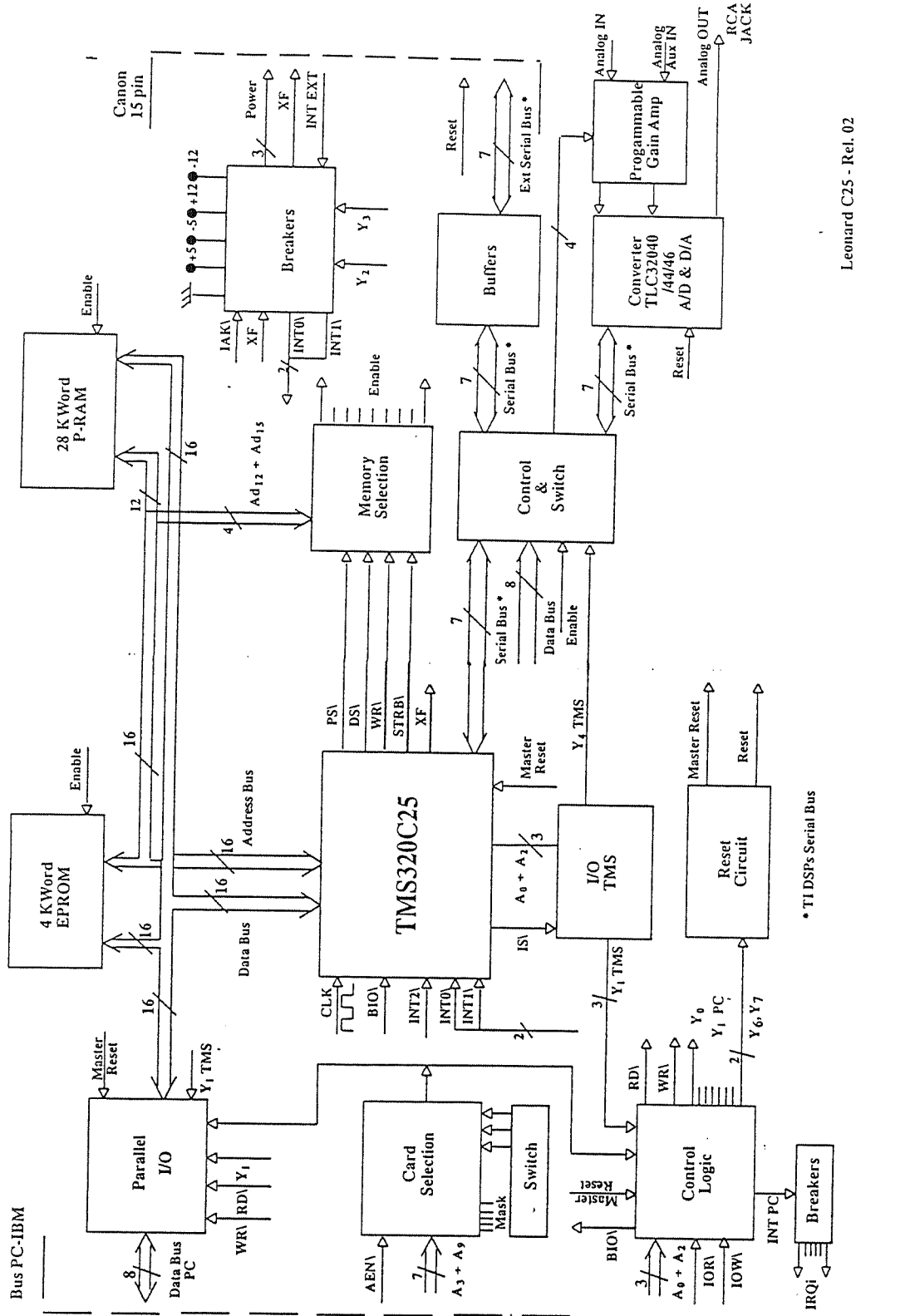


Fig. 4 Schema a blocchi della scheda Leonard C25-02

Cominciamo ora a descrivere più dettagliatamente il funzionamento e i vari componenti delle sottounità del modulo.

4.a Il microprocessore

Il cuore della scheda è costituito dal microprocessore TMS320C25. Si ritiene utile riportare qui le parti ed i punti essenziali delle specifiche hardware e di programmazione del microprocessore a cui faremo diretto riferimento nella descrizione della scheda. Il set completo delle istruzioni ed i dettagli tecnici relativi al TMS320C25 sono ovviamente contenuti nell'apposito manuale.

L'architettura interna è di tipo Harvard modificata a singolo accumulatore, cioè la memoria dati e la memoria programmi risiedono in spazi di indirizzamento separati. Tale suddivisione della memoria permette un uso estensivo del pipelining, grazie ad un completo parallelismo tra la fase di fetch e quella di esecuzione di una istruzione.

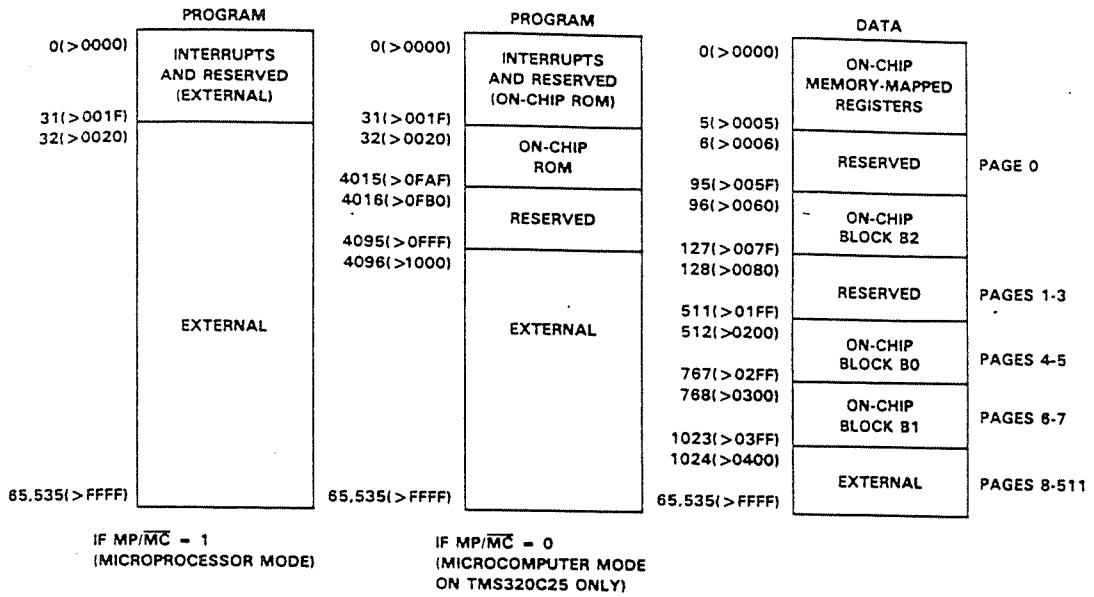
La maggior parte delle istruzioni, tra le quali l'operazione di moltiplicazione con accumulazione tra operandi a 16 bit (1 word) e risultato su 32 bit, viene eseguita in 100 nsec. (1 ciclo di clock). Esternamente, gli spazi di memoria programma e memoria dati sono multiplexati nello stesso bus di indirizzamento ($A_{15} - A_0$) per minimizzare il numero di piedini del dispositivo e allo stesso tempo massimizzare lo spazio di indirizzamento che è, sia per la memoria programma che per la memoria dati, pari a 64 kword. Questa capacità di indirizzamento può ritenersi soddisfacente per le elaborazioni numeriche dei segnali in banda audio senza dover ricorrere ad una gestione della memoria che utilizzi, ad esempio, la paginazione.

Nei due spazi di memoria, programma e dati, che il TMS320C25 può indirizzare, sono comprese anche 544 word di RAM che risiedono sul chip assieme ad alcuni registri memory-mapped e fino a 4 kword opzionali di ROM interna (mappata nella parte bassa di memoria programma). Le 544 word di RAM residente sono divise in tre blocchi distinti come risulta dallo schema riportato in figura 5. La memoria dati è inoltre divisa in 512 pagine di 128 words ciascuna. I registri memory-mapped sono localizzati nella pagina 0 della memoria dati e sono illustrati in figura 7.

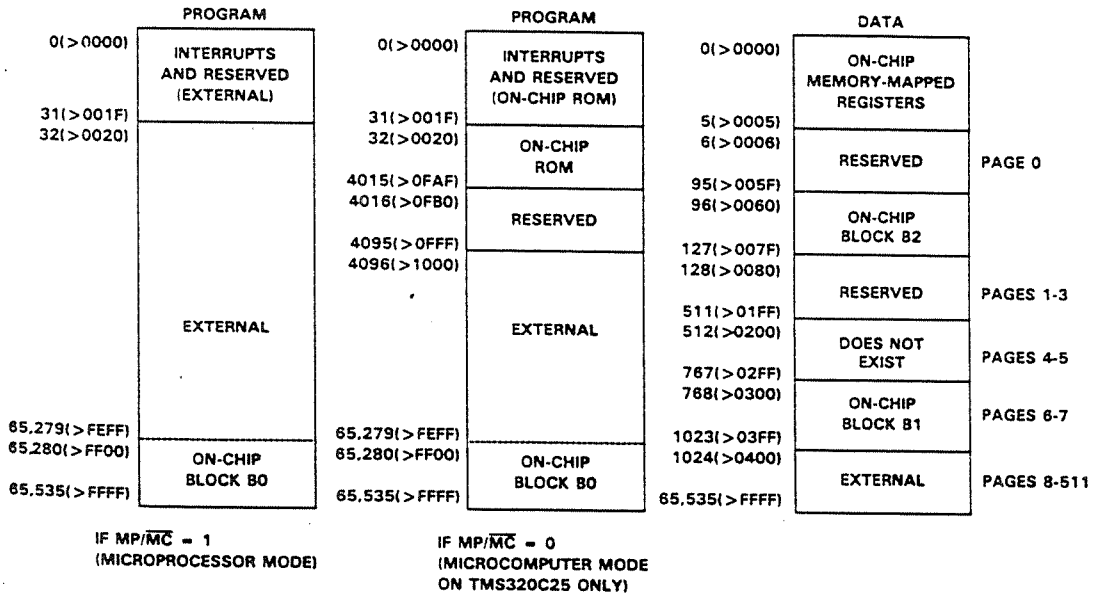
Il meccanismo di pipelining fetch-decode-execute delle istruzioni è essenzialmente trasparente all'utente salvo in quei casi in cui deve essere interrotto (come nel caso delle istruzioni di Branch) e se ne deve tener conto solo per quanto riguarda la variazione della durata di esecuzione dell'istruzione.

In figura 6 è mostrato il diagramma funzionale a blocchi del TMS320C25, con le principali connessioni logiche interne al microprocessore e tutte le linee di interfacciamento con il mondo esterno. Viene evidenziato il fatto che tutta l'architettura è costruita attorno a due bus principali: il bus programma porta il codice dell'istruzione e gli operandi immediati dalla memoria programma, mentre il bus dati connette vari elementi della memoria dati come la CALU (Central Arithmetic Logic Unit) e l'insieme degli otto "auxiliary register" (AR0..AR7).

L'accumulatore a 32 bit è il registro principale della CALU e riceve il risultato dei calcoli fatti in questa unità, anch'essa a 32 bit, costituita da alcuni shifters ed un moltiplicatore.

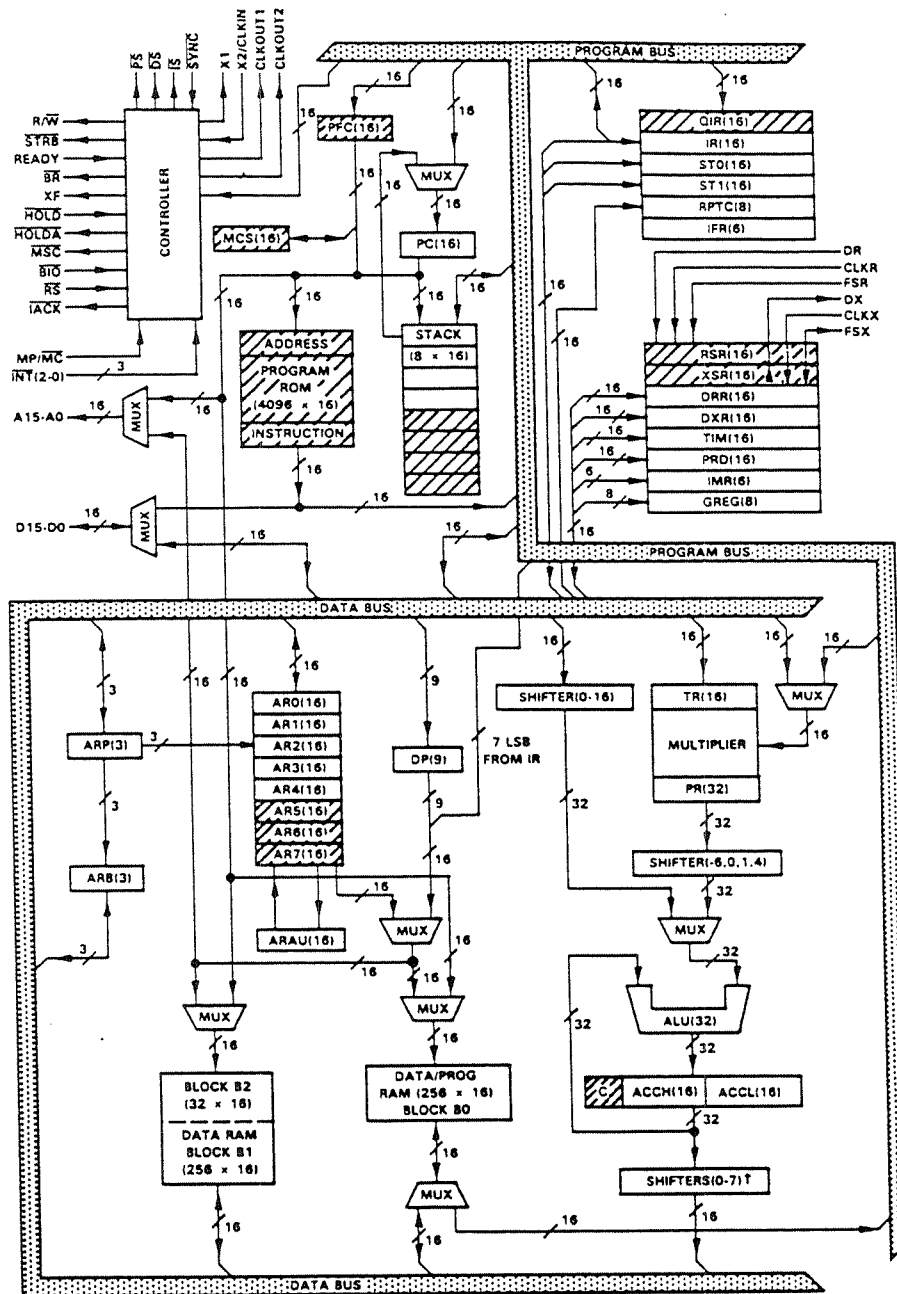


(a) MEMORY MAPS AFTER A CNFD INSTRUCTION



(b) MEMORY MAPS AFTER A CNFP INSTRUCTION

Fig. 5 Configurazioni di memoria del TMS320C25



¹Shifters on TMS32020 (0, 1, 4)
 NOTE: Shaded areas are for TMS320C25 only.

Fig. 6 Schematizzazione funzionale del processore TMS320C25

Registro	Indirizzo in memoria	Descrizione
DRR (15-0)	0	Registro di ricezione della porta seriale
DXR (15-0)	1	Registro di trasmissione della porta seriale
TIM (15-0)	2	Registro del Timer
PRD (15-0)	3	Registro per il periodo del Timer
IMR (5-0)	4	Registro per la maschera delle interruzioni
GREG (7-0)	5	Registro per l'allocazione della memoria globale

Fig. 7 Registri Memory-Mapped

Gli otto registri ausiliari servono prevalentemente come indici per l'indirizzamento indiretto, ma si possono anche usare come registri di appoggio; questi sono connessi ad una unità di calcolo (ARAU), che supporta la manipolazione degli indirizzi in parallelo ad altre operazioni.

Un altro registro (DP, a 9 bit) viene usato per puntare alla pagina di memoria dati corrente (Data Page Pointer) per accedere a questa in maniera diretta, anzichè attraverso i registri ausiliari. Questo registro, assieme ad altri numerosi bit di stato della CPU, è in realtà parte dei due registri di stato del microprocessore chiamati ST0 ed ST1 illustrati in figura 8.

Il TMS320C25 ha anche uno stack interno di celle a 16 bit, con una profondità di otto livelli, che fa parte dell'hardware che implementa il meccanismo di esecuzione delle istruzioni in pipeline.

Lo spazio di I/O consiste di 16 porte d'ingresso e di 16 porte d'uscita che implementano l'interfaccia di I/O a 16 bit attraverso il bus dati del microprocessore. Tre pin del microprocessore sono dedicati alla specificazione dello spazio indirizzato; così, a /DS attivo corrisponde lo spazio di memoria dati, /PS attivo seleziona lo spazio di memoria programma, mentre quando è attivo /IS è selezionato lo spazio di I/O.

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	ARP			OV	OVH	1	INTM		DP							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST1	ARB	CNF	TC	SXH	C	1	1	HM	FSH	XF	FO	TXH	PH			

Fig. 8 Registri di stato del TMS320C25

L'interfaccia seriale del TMS320C25 mette a disposizione un canale di collegamento bidirezionale con un dispositivo esterno che implementa lo stesso protocollo. Tale protocollo è implementato tramite 6 piedini del microprocessore (3 per la trasmissione e 3 per la ricezione): DX, RX (trasmitted, received serial data), FSX, FSR (trasmit, receive framing synchronization), CLKX, CLKR (trasmit, receive clock). La gestione delle operazioni di I/O su tale porta risulta trasparente al programmatore in quanto la serializzazione dei dati trasmessi e la parallelizzazione dei dati ricevuti viene realizzata automaticamente in hardware. I registri di appoggio, visibili al programmatore, sono i registri DRR e DXR, riportati nella tabella della figura 7.

Il TMS320C25 ha otto sorgenti di interruzione alle quali è associata una diversa priorità. La priorità più alta è data al segnale di reset (/RS, non mascherabile). Ad ogni interrupt è associato un vettore nella memoria programma. Tre sorgenti di interruzione sono disponibili all'esterno e sono di tipo mascherabile (/INT0, /INT1, /INT2) mentre tre sono sorgenti interne associate ai dispositivi on-chip, ossia il timer (TINT) e l'interfaccia seriale (RINT e XINT), anch'essi di tipo mascherabile. L'ultima è costituita dall'interruzione software (TRAP). In figura 9 è riportato l'elenco delle sorgenti di interruzione, ordinate per priorità e con specificate le locazioni dei vettori di interrupt associati.

Interrupt	Locazione	Priorità	Funzione
RS	0	1 (Max)	Segnale di reset esterno
INT0	2	2	Segnale di interrupt esterno n° 1
INT1	4	3	Segnale di interrupt esterno n° 2
INT2	6	4	Segnale di interrupt esterno n° 3
	8 - 23		Locazioni riservate
TINT	24	5	Segnale di interrupt da Timer interno
RINT	26	6	Interrupt di ricezione da porta seriale
XINT	28	7 (Min)	Interrupt di trasmissione su porta seriale
TRAP	30	N/A	Interrupt software

Fig. 9 Locazioni di interrupt e priorità.

Il meccanismo di interrupt del TMS320C25 coinvolge principalmente due registri: l'Interrupt Flag Register (IFR) e l'Interrupt Mask Register (IMR). Quando viene attivata una linea di interrupt, questa viene memorizzata nel registro IFR a 6 bit (non accessibile al programmatore) fino a che non viene riconosciuto e quindi resettato dall'interrupt acknowledge. Il registro IMR è invece accessibile in lettura e in scrittura ed è configurato come in figura 10.

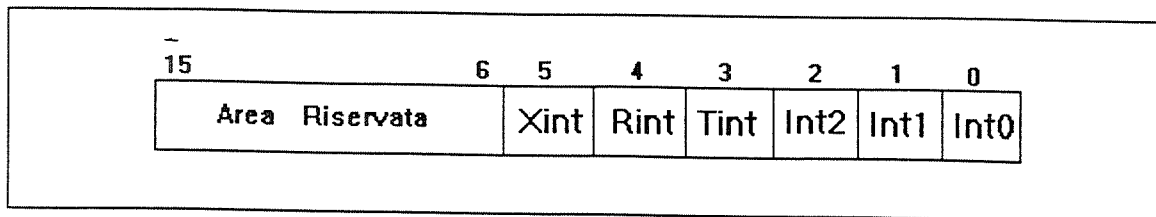


Fig. 10 Il registro per la maschera delle interruzioni.

Un "1" nelle posizioni da 0 a 5 abilita il corrispondente interrupt, ammesso che il bit di Interrupt Mode (INTM) sia a "0". Quest'ultimo è il nono bit del registro di stato ST0 e può essere modificato dalle istruzioni di abilitazione e disabilitazione delle interruzioni (EINT e DINT).

Il TMS320C25 ha anche una linea di ingresso, detta /BIO, il cui livello logico può essere testato direttamente tramite un'istruzione (BIOZ) che provoca il salto condizionato sul livello logico basso. Il suo uso più comune è quello di flag per le operazioni di I/O a controllo di programma o per comunicazioni tra due processori.

Un'altra linea che può essere utile per il controllo delle operazioni di I/O è l'uscita XF, programmabile in maniera diretta mediante apposite istruzioni (SXF,RXF).

Considerando che sul TMS320C25 sono disponibili molti altri segnali che possono essere utilizzati per realizzare particolari funzioni nella strumentazione da approntare nell'ambito del progetto Ariete o in altre particolari applicazioni, è stato deciso di connettere alcuni di questi segnali su opportune piazzole, come risulta anche dallo schema elettrico. Nel caso ve ne fosse la necessità, si possono poi collegare tali piazzole ai pin liberi del connettore Canon da 15 poli, consentendo il loro utilizzo all'esterno della scheda.

Il segnale di CLKIN del processore anziché essere ricavato da un quarzo con un circuito come indicato nel manuale, è stato ottenuto direttamente da un oscillatore ibrido integrato.

4.b Banche di memoria

Nella porzione di schema elettrico visibile in figura 11 si distinguono, oltre al TMS, anche i due banche di memoria, quello di EPROM, destinato ad accogliere i programmi del monitor e le routines di start-up, e quello di memoria RAM, utilizzato principalmente come memoria programma.

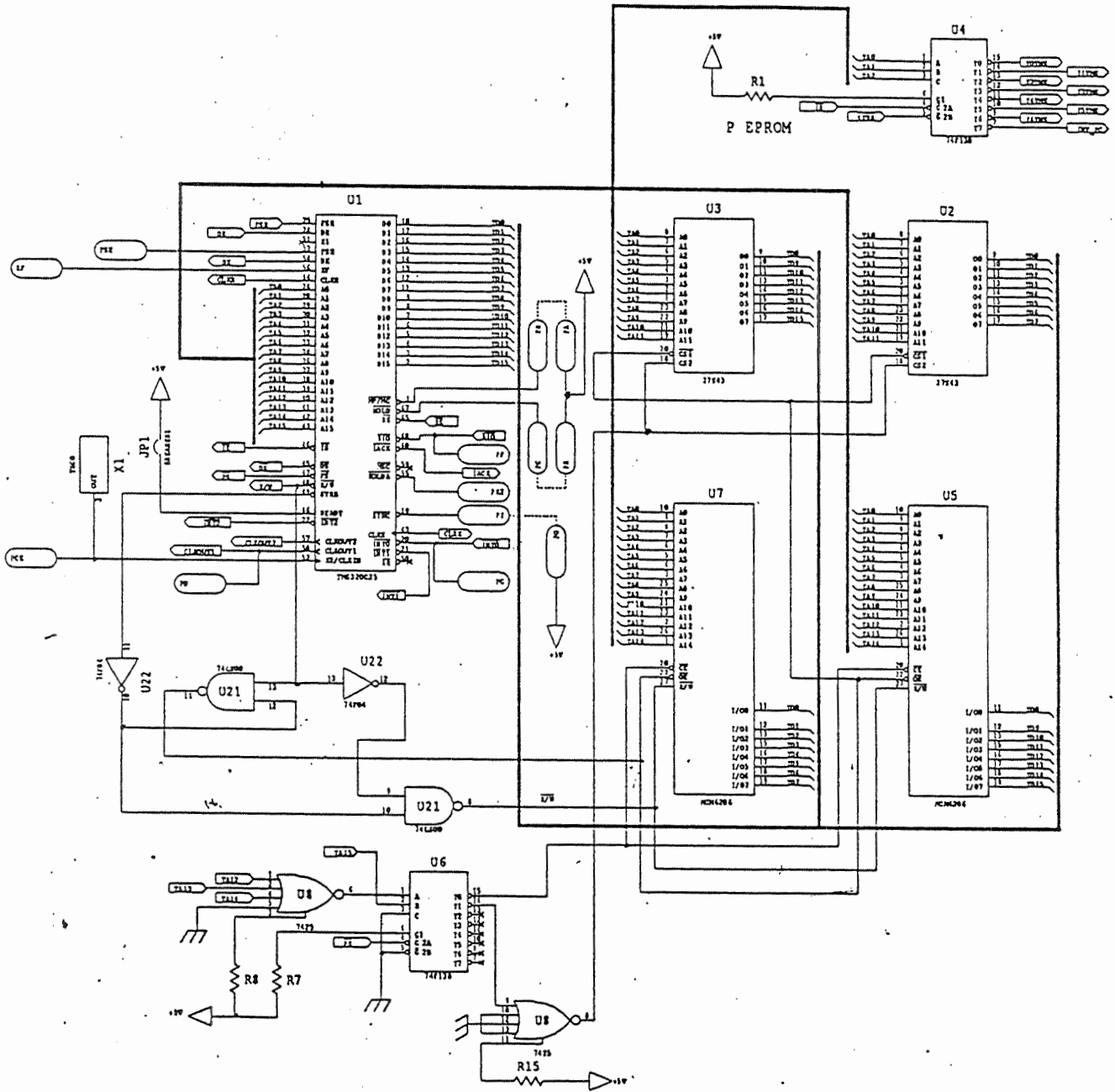


Fig. 11 Porzione di schema elettrico relativa alle memorie

La scelta di non aver inserito chips di memoria per i dati, è motivata soprattutto dalla necessità di mantenere una certa compattezza nelle dimensioni fisiche della scheda e non costituisce una limitazione per il processore: infatti una certa quantità di memoria veloce, configurabile come memoria dati, è disponibile al suo interno ed inoltre esistono istruzioni (TBLR, TBLW) che permettono di gestire tabelle e blocchi di dati in memoria programma. Da tenere presente che l'uso di queste istruzioni in genere comporta una perdita di efficienza, in quanto necessitano di un tempo di esecuzione maggiore rispetto all'analoga operazione effettuata nello spazio dati.

Per le EPROM sono stati usati due chips WS27S43 della Waferscale di capacità 4k x 8 bit ognuno, realizzati in tecnologia CMOS e con tempi di accesso di 35 ns rispetto all'indirizzamento e di 20 ns rispetto al chip select. La RAM è composta da due chips MCM6206 della Motorola di capacità 32k x 8bit ognuno, con tempi di accesso di 35ns rispetto al /CE e di 15 ns rispetto all' /OE, anch'essi realizzati in tecnologia CMOS.

La velocità delle memorie utilizzate consente di sfruttare appieno le potenzialità del microprocessore, in quanto consente di eliminarne eventuali stati di attesa durante gli accessi in memoria.

La selezione e i comandi di lettura e scrittura delle memorie sono ottenuti mediante una rete costituita dagli integrati U6, U8, U21, U22.

Come si vede dalla fig. 11 la selezione dei banchi di memoria è funzione degli indirizzi generati dal processore abilitazione ottenendo la configurazione riportata in fig. 14. I comandi di lettura (/OE basso e /W alto) e di scrittura (/OE alto e /W basso) sono abilitati dal segnale di Strobe del processore che, come noto, viene generato per comunicare che i segnali presenti sul bus indirizzi hanno raggiunto uno stato stabile.

Per completezza riportiamo le funzioni logiche realizzate dalla rete di selezione delle memorie:

$\text{/CE} = \text{/ [PS * /A}_{15} * (\text{A}_{12} + \text{A}_{13} + \text{A}_{14})]$	(Selezione del banco RAM)
$\text{CS2} = \text{PS} * \text{/(A}_{12} + \text{A}_{13} + \text{A}_{14} + \text{A}_{15})$	(Selezione del banco EPROM)
$\text{/W}_{\text{mem}} = \text{/[/(R/W) * STROBE]}$	(Comando di scrittura RAM)
$\text{/CS1} = \text{/(R/W * STROBE)}$	(Comando di lettura EPROM)
$\text{/OE} = \text{/(R/W * STROBE)}$	(Comando di lettura RAM)

Nelle figure 12 e 13 sono illustrati i diagrammi di temporizzazione degli accessi del microprocessore alle memorie. In ambedue le figure nella parte superiore è mostrata la temporizzazione dei segnali del TMS ricavata dal manuale, relativamente alle operazioni di lettura e scrittura sul bus dati. Nella parte inferiore sono invece mostrate le forme d'onda relative alla operazioni di lettura e scrittura delle RAM secondo la soluzione circuitale adottata. La temporizzazione della lettura da EPROM è del tutto simile a quella della RAM.

Come si può vedere, nelle condizioni di massimo ritardo delle reti di selezione, con i chip di memoria adottati, i tempi di risposta sono ai limiti richiesti dal TMS320C25; da considerazioni di ordine pratico, tale soluzione si può considerare sostanzialmente corretta e il basso costo dei chip MCM6206 contribuisce a mantenere contenuto il costo complessivo del modulo.

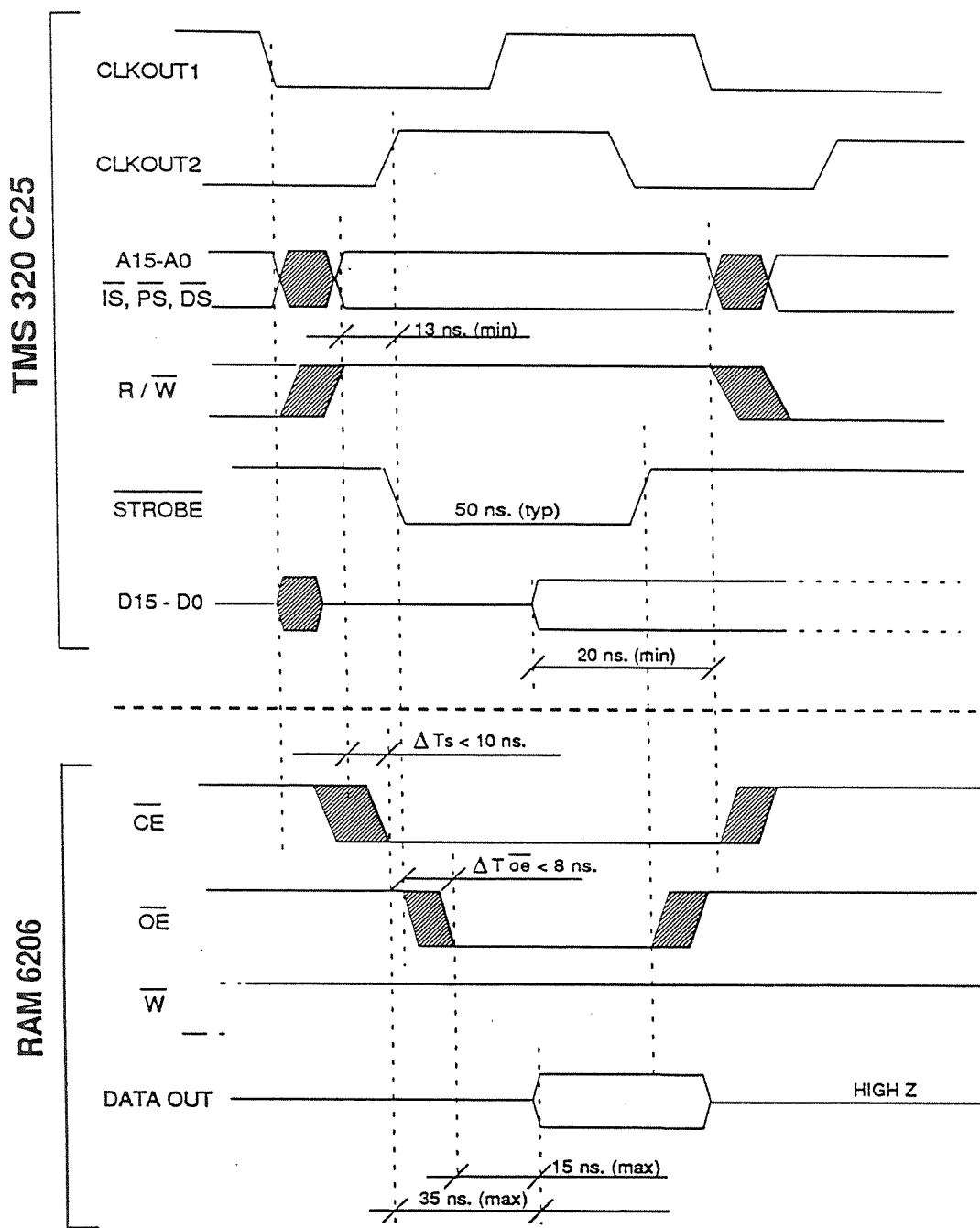
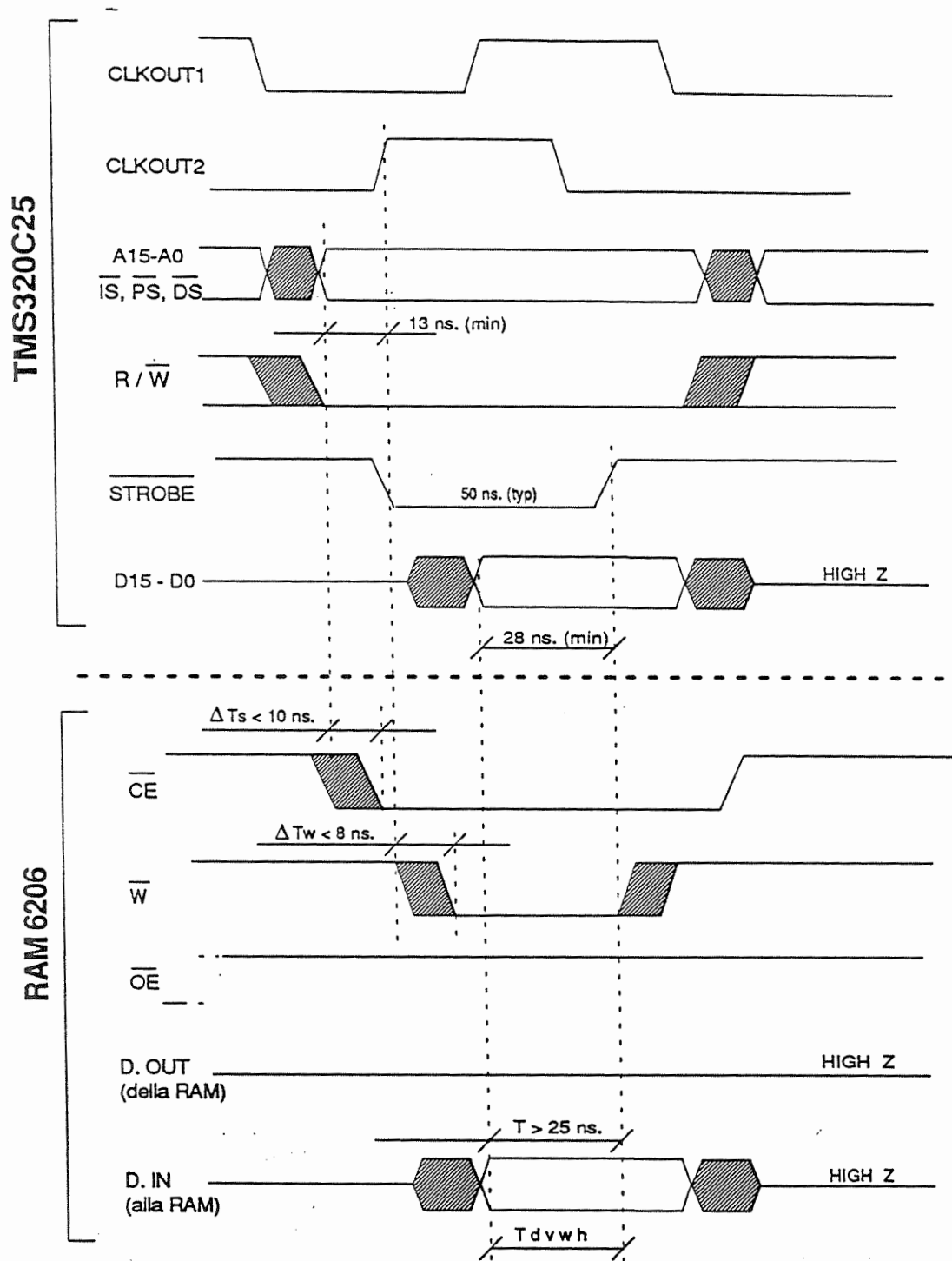


Fig. 12 Diagramma di temporizzazione dell'accesso alle memorie in lettura



Nota: Per la memoria RAM 6206 - 35, T_{dvh} deve essere al minimo 12 nsec.

Fig. 13 Diagramma di temporizzazione dell'accesso alle memorie in scrittura

Mentre per la configurazione della memoria programma della scheda vale la mappa riportata in figura 14, per quanto riguarda la memoria dati, la configurazione è quella determinata per default al Master reset ed è costituita dall'insieme dei tre blocchi di memoria interna del processore (blocchi B0, B1, B2 in figura 3).

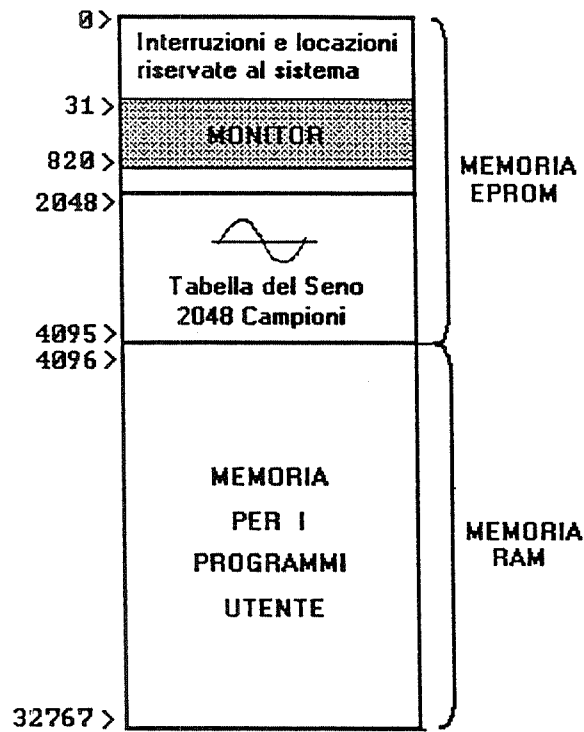


Fig. 14 Mappa della memoria programma

4.c Interfaccia con l'elaboratore ospite

Il tipo di interfacciamento con il PC risente dell'impostazione data originalmente e che prevedeva l'uso della scheda su Personal portatili fascia XT; ciò comporta che il bus dati è quello di tipo standard ad 8 bit. (10)

Per quanto riguarda il colloquio con il PC, la scheda è vista nello spazio di I/O come un insieme di 8 indirizzi contigui a partire da un valore base impostabile tramite tre microswitch presenti sulla scheda (SW1), come visto nel paragrafo 3. E' possibile inserire fino ad un massimo di otto schede nello stesso elaboratore allocandole ad indirizzi base diversi; il primo di questi indirizzi base è 300_{16} (768_{10}).

Con tali microswitch si imposta una maschera che viene confrontata con gli indirizzi generati dal PC, all'interno del confrontatore U14, (74LS682).

La figura seguente illustra la maschera usata (le "S" indicano i bit settabili tramite microswitch):

A₉ A₈ A₇ A₆ A₅ A₄ A₃ A₂ A₁ A₀

1	1	0	0	S	S	S	X	X	X
---	---	---	---	---	---	---	---	---	---

Al riconoscimento di un indirizzo corrisponde quindi la selezione della scheda (funzione /CS attiva) e viene abilitato il buffer bidirezionale U13 posto sul bus dati e il decodificatore U16. Questi, in base al valore presente sulle linee A₀..A₂ del bus indirizzi, abilita una tra otto linee di uscita del decodificatore permettendo l'espletamento della funzione associata come riportato nella tabella seguente:

OPERAZIONE DA PC		LINEA	FUNZIONE ESPLETATA
Indirizzo	Tipo		
Base	/IOR	Y0PC	Lettura byte basso
Base	/IOW	Y0PC	Scrittura byte basso
Base + 1	/IOR	Y1PC	Lettura byte alto e attivazione del flip flop BIO
Base + 1	/IOW	Y1PC	Scrittura byte alto e attivazione del flip flop BIO
Base + 2	x	Y2PC	Interruzione al TMS (/INT1)
Base + 3	x	Y3PC	Interruzione al TMS (/INT0)
Base + 4	/IOR	Y4PC	Lettura del /BIO
Base + 5	x	Y5PC	Interruzione al TMS (/INT2) e azzeramento del ff IR
Base + 6	x	Y6PC	Reset generale alla scheda
Base + 7	x	Y7PC	Reset al TLC e alla porta seriale esterna

x = /IOR o /IOW indifferentemente

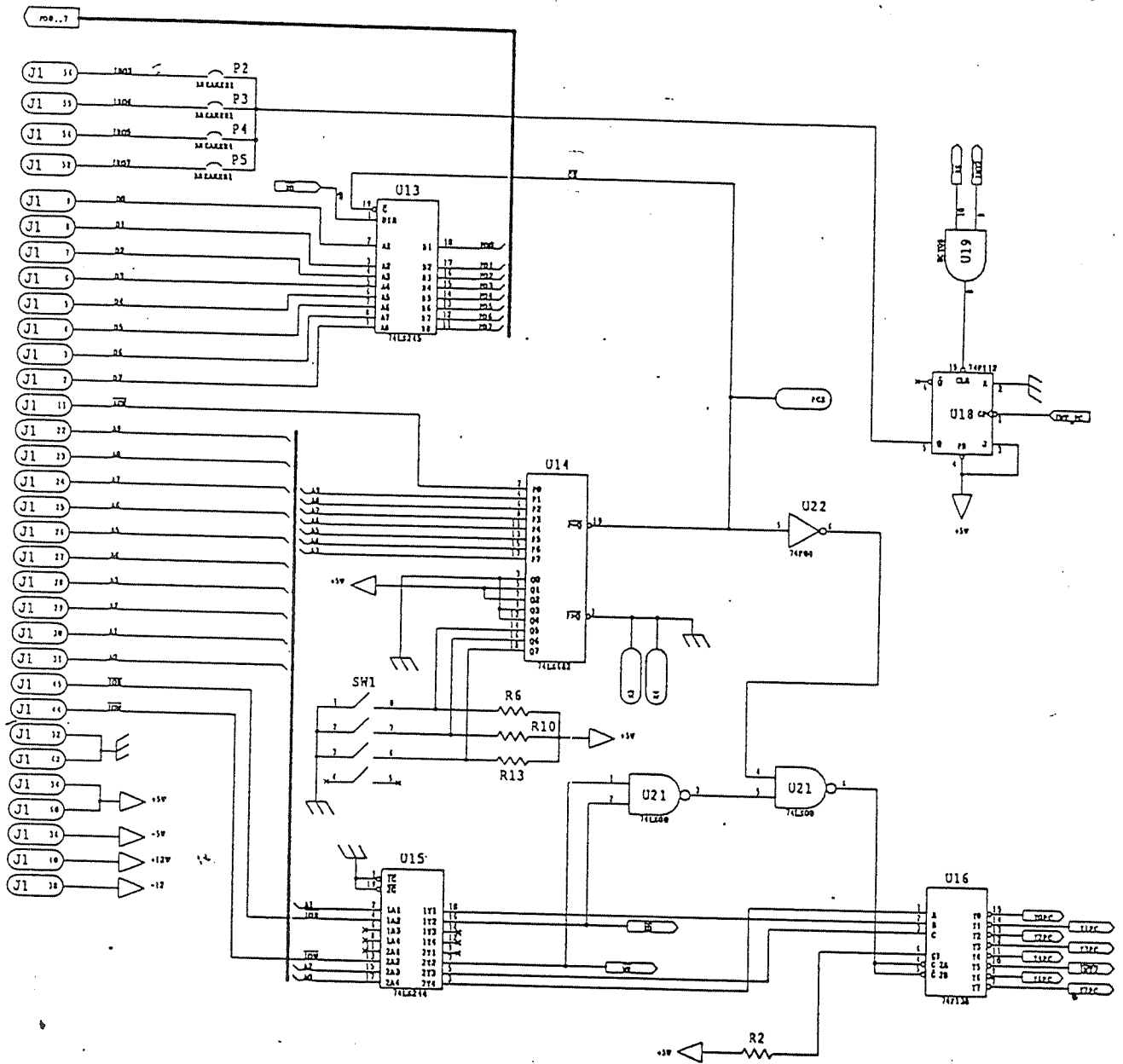


Fig. 15 Decodifica degli indirizzi

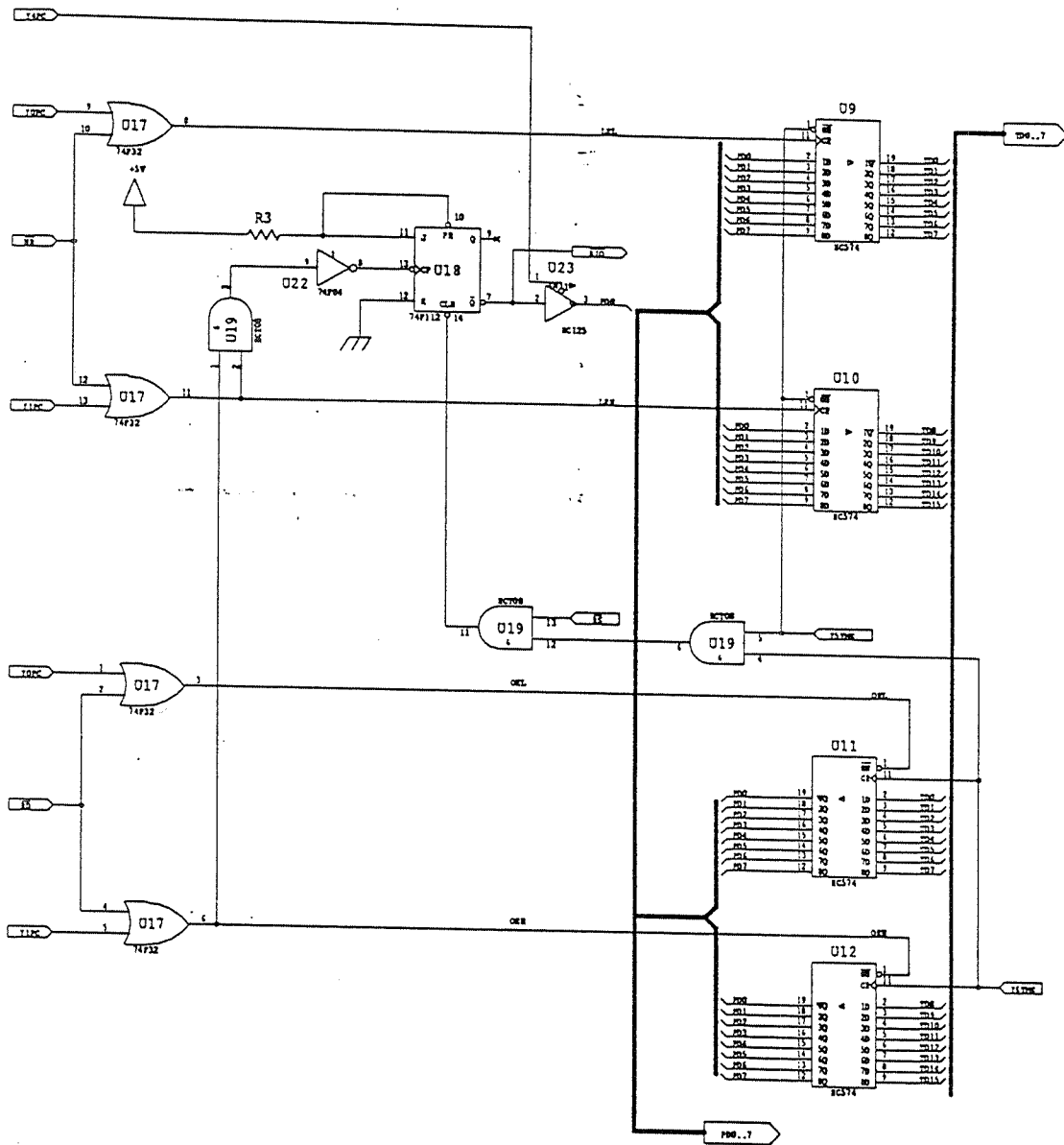


Fig. 16 Porta di I/O

Diamo una breve descrizione delle funzioni espletate.

Lo scambio dati avviene tramite una doppia coppia di registri latch (HC574); la prima (U9, U10) è utilizzata per la trasmissione del dato da PC alla scheda (scrittura da PC); l'altra (U11, U12) per la ricezione (lettura da parte del PC). Poichè il bus dati del TMS è a 16 bit le operazioni da parte del PC vengono realizzate in due tempi: la prima operazione prevede la trasmissione del byte basso, la seconda quella del byte alto e contemporaneo abbassamento dell'uscita negata del flip-flop JK BIO (U18, 74F112) e quindi l'attivazione del pin /BIO del TMS ad essa collegata.

La chiamata di un'istruzione di I/O del TMS provoca l'abilitazione di un decodificatore (U4, 74F138) al quale sono collegate le prime tre linee del bus indirizzi (TA₀, TA₁, TA₂). Delle linee di uscita del decodificatore le Y5TMS e Y6TMS sono utilizzate per abilitare rispettivamente le coppie di latch U9, U10 e U11, U12. Quindi con l'istruzione assembler TMS:

IN DATO, PA5

il TMS legge una word inserita dal PC nei latch U9, U10 mentre con l'istruzione:

OUT DATO, PA6

scrive una word nei latch U11, U12.

Queste due operazioni, resettando il flip-flop BIO, rendono disattivo il pin /BIO. Questo modo di funzionamento del /BIO è stato previsto allo scopo di fornire un meccanismo per il controllo della sincronizzazione nelle procedure di comunicazione di basso livello: il TMS può eseguire salti condizionati allo stato del /BIO mediante una sua istruzione assembler (BIOZ INDIRIZZO) e quindi eseguire una nuova lettura o scrittura solo quando il PC ha terminato l'operazione precedente (/BIO = 0); analogamente il PC può testare lo stato della linea eseguendo una lettura alla porta Y4PC ed attendere il termine dell'operazione sul bus da parte del TMS (/BIO = 1), prima di eseguire un nuovo accesso.

Per aumentare la flessibilità d'uso, sulla scheda è stato implementato un circuito, il cui scopo è quello di permettere al TMS320C25 di inviare richieste di interruzione al PC.

Le possibili utilizzazioni possono essere le più generali, come ad esempio notificare all'host eventuali errori nella comunicazione, oppure dare la possibilità al programmatore del sistema di creare dei protocolli di scambio dati basati sulle interruzioni, o più semplicemente per ricavare un segnale di temporizzazione, sfruttando il timer interno del TMS, utile nella gestione di sequenze di eventi musicali.

Quando il TMS desidera inoltrare una richiesta di interruzione al PC esegue un accesso alla locazione PA7 del proprio spazio di I/O eseguendo la seguente istruzione:

IN dummy, PA7

oppure, equivalentemente:

OUT dummy, PA7

dove "dummy" è una variabile fittizia, usata come parametro delle istruzioni.

Questo accesso, mediante la linea INT_PC di uscita del decodificatore U4, provoca la transizione in alto dell'uscita del flip-flop JK IR (integrato U18) e quindi l'invio di una richiesta di interruzione al PC. Come illustrato nella figura 17, tramite dei "jumpers" presenti sulla scheda è possibile selezionare la linea di interrupt sulla quale il PC "sentirà" l'interruzione: IRQ3, IRQ4, IRQ5, IRQ7.

Quando il PC accoglie la richiesta di interruzione deve inviare al TMS un segnale di acknowledge della stessa, generando un accesso alla porta /INT2.

Questo accesso ha la duplice funzione di resettare il flip-flop, in modo da poter sentire le successive richieste di interruzione (transizioni in salita), e di comunicare l'avvenuto riconoscimento dell'interruzione al TMS, mediante l'interruzione /INT2.

Alla porta AND connessa al Clear del flip-flop giunge anche il segnale proveniente dalla rete di Reset, che ha lo scopo di riportare in uno stato consistente l'interruzione verso il PC al momento dell'accensione, o in generale, tutte le volte che, via software, si dà un Reset al TMS.

Durante la realizzazione del circuito in esame, sono stati condotti alcuni test per verificare le modalità di funzionamento del controllore di interruzioni presente sul PC, l'integrato 8259 (11).

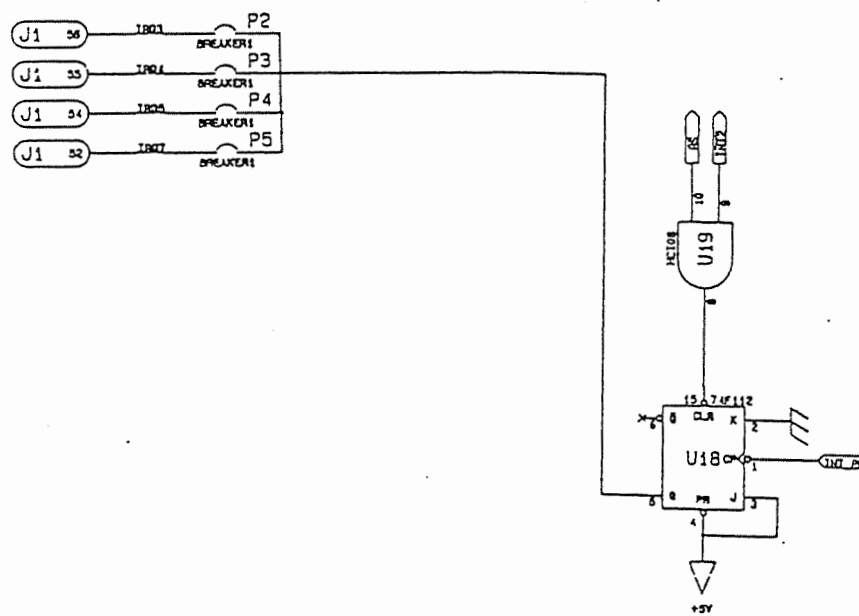


Fig. 17 Circuito per le interruzioni al PC

Allo scopo, sono state scritte delle routines di gestione delle interruzioni; queste ultime sono state generate tramite un generatore di impulsi e controllate con un oscilloscopio. Si è trovato che l'8259 "sente" la richiesta di interruzione solo se dopo il fronte in salita, il segnale in ingresso rimane alto per almeno 1.5 μ sec. Se la transizione arriva quando l'interruzione corrispondente è mascherata e si smaschera l'interruzione mentre il livello è ancora alto, l'8259 riconosce la richiesta di interruzione. Se il livello torna basso prima dello smascheramento, la richiesta viene invece persa. Si è trovato anche che la durata del livello basso può essere inferiore ai 100 nsec., indicati come durata minima dal manuale INTEL. Il circuito che genera la richiesta di interrupt già illustrato, soddisfa in effetti le suddette condizioni.

4.d Il circuito di reset

Tra le quattro sorgenti esterne di interruzione disponibili al TMS, quella generata da un segnale di reset è l'unica non mascherabile; sullo schema elettrico essa è etichettata come /RS, in corrispondenza del piedino 65 del processore. Un apposito circuito, riportato in figura 19, genera il segnale di Master Reset, collegato al reset del processore e dei flip-flop BIO e IR, e un segnale di reset destinato al convertitore TLC32040 e alla porta seriale esterna.

A regime ambedue gli impulsi di reset sono provocati via software, mediante l'apposito comando da PC (attivazione della linea Y6PC), mentre il reset relativo al TLC e alla porta seriale esterna Y7PC è ottenuto anche mediante l'attivazione della linea Y7PC.

Al momento del power-on, i due impulsi vengono generati automaticamente e nella giusta posizione temporale rispetto all'istante di raggiungimento del valore nominale delle tensioni di alimentazione della scheda, sfruttando opportunamente la caratteristica dei monostabili contenuti nel chip U24 (74LS221), cioè quella di avere un ingresso a soglia di Schmitt.

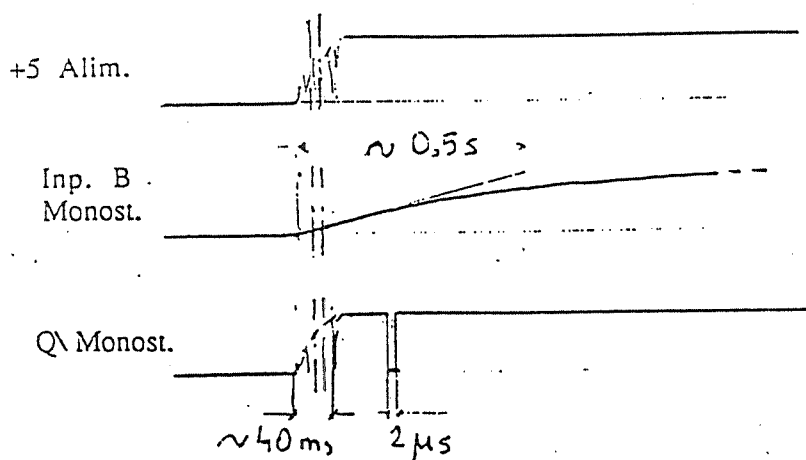


Fig. 18 Generazione del reset all'accensione

La larghezza dei due impulsi è stata fissata in 2 $\mu\text{sec.}$, valore ampiamente superiore a quello richiesto dai data sheets del TMS e del TLC.

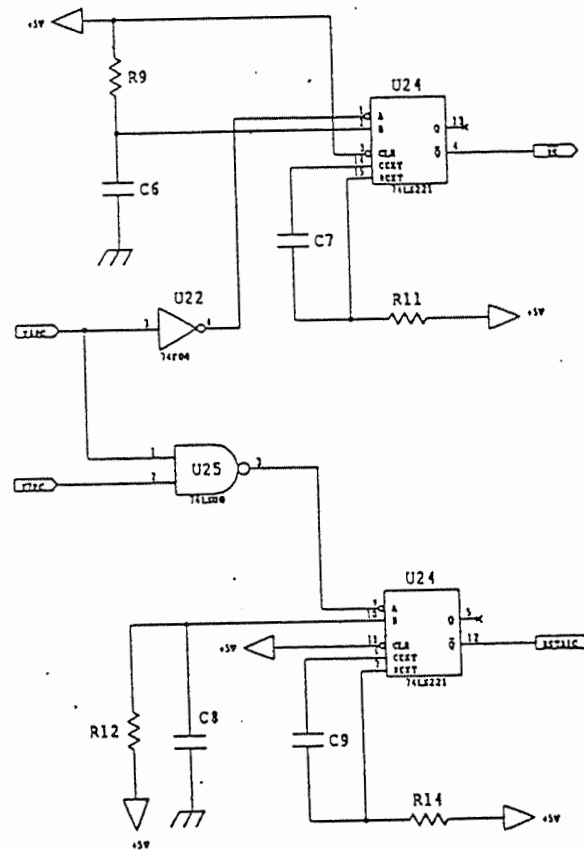


Fig. 19 Circuito per la generazione dell'impulso di reset

4.e Convertitore A/D-D/A interno

Il convertitore A/D-D/A TLC32040 è un dispositivo prodotto dalla Texas Instruments, provvisto di un'interfaccia che implementa il protocollo di comunicazione seriale bidirezionale utilizzato dalla famiglia di processori TMS320, ed è quindi collegabile senza logica aggiuntiva al microprocessore utilizzato nel modulo.

Dallo schema a blocchi, riportato in figura 20, è possibile individuare i componenti principali di questo dispositivo.

Esso integra al suo interno un filtro passa banda di ingresso con funzione anti-aliasing, un convertitore A/D-D/A a 14 bit di risoluzione, la sezione dedicata all'interfaccia seriale, e infine un filtro passa basso in uscita per lo smoothing del segnale digitale.

Entrambi i filtri sono implementati in tecnologia "switched capacitor" cioè a capacità commutate: la carica e scarica dei capacitori è pilotata sia dal segnale di clock che dai dati digitali presenti agli ingressi della sezione di conversione digitale analogica.

Le tensioni di alimentazione per i circuiti analogici e digitali con le loro rispettive masse sono state tenute separate, al fine di minimizzare il rumore ed assicurare un ampio range di dinamica.

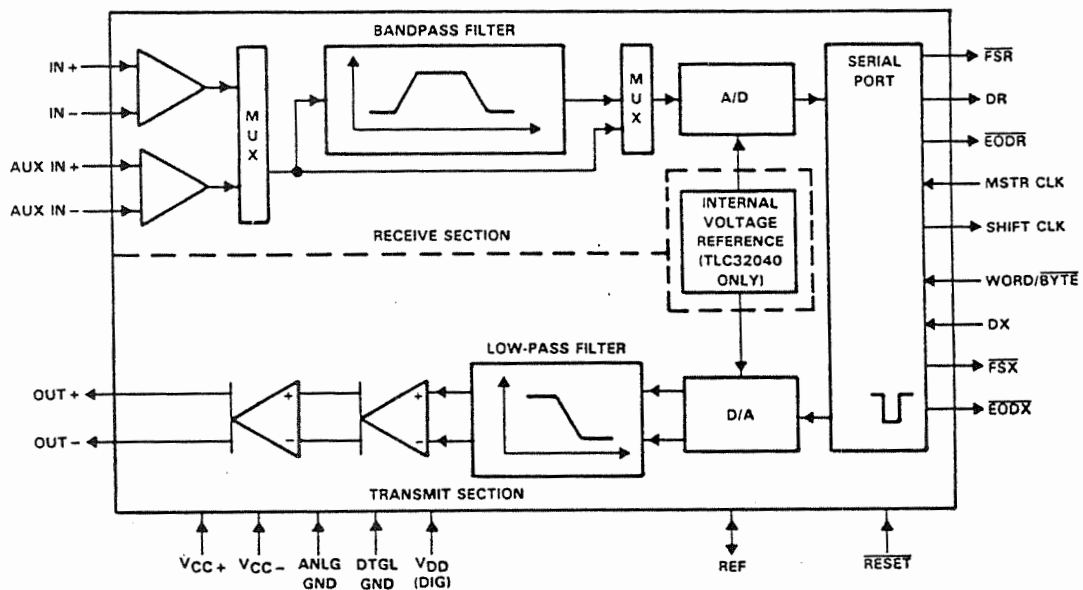


Fig. 20 Schema a blocchi del TLC32040

Come si vedrà in un prossimo paragrafo, gli ingressi analogici del convertitore sono preceduti da uno stadio di condizionamento che consente di applicare a questi il valore ottimale dell'ampiezza del segnale in ingresso, per sfruttare al meglio la dinamica consentita.

Il TLC32040 consente la programmazione, via software, di molte configurazioni operative: è così possibile ad esempio impostarne la frequenza di campionamento (da 7.2 a 19.2 kHz), oppure escludere il filtro in ingresso nei casi in cui esso non sia necessario.

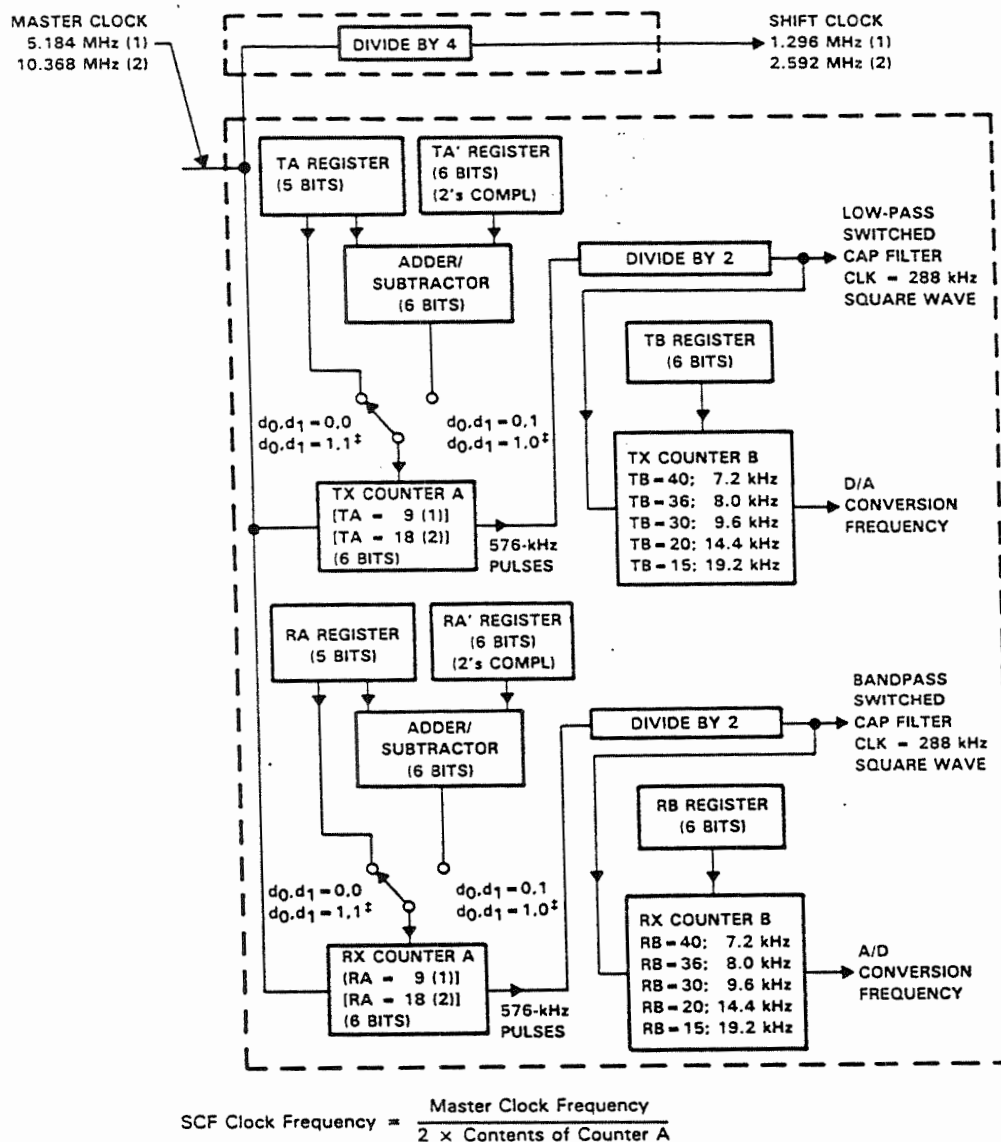


Fig. 21 I registri del TLC32040

Sulla destra della figura 20 è possibile vedere le linee utilizzate dall'interfaccia seriale per le comunicazioni con il processore TMS. Le principali sono la DX e la DR che rappresentano rispettivamente l'ingresso e l'uscita per i dati seriali. Esse sono affiancate dalle linee /FSX e /FSR a cui è affidato il compito di sincronizzare le operazioni assieme al CLKX e CLKR.

I registri utilizzati dall'interfaccia seriale sono visibili in figura 21. Le costanti caricate nei registri contatori TXA e RXA dividono la frequenza del Master Clock del TLC coincidente col Clockout1 proveniente dal TMS, pari a 1/4 della frequenza del CLKIN del TMS.

Il segnale all'uscita di questi registri subisce una divisione per due prima di essere presentato all'ingresso dei registri contatori TXB e RXB e alla sezione degli "switched capacitors".

La costante contenuta all'interno dei registri determina infine la frequenza di conversione.

La procedura per la programmazione del convertitore prevede l'invio da parte del TMS di una o più coppia di parole di configurazione a 16 bit.

In dipendenza dal valore dei due bit meno significativi della parola ricevuta, il TLC utilizza in modo diverso i bit più significativi: se i due bit sono a 0, i 14 bit più significativi rappresentano il dato da convertire; se i due bit sono a 1, gli altri bit rappresentano ancora un dato da convertire, ma il TLC, come word successiva si aspetta una parola nella quale i primi due bit discriminano fra 3 tipi di operazioni diverse alle quali corrispondono, ad esempio, il valore della frequenza di campionamento, la disabilitazione del filtro in ingresso, l'impostazione del guadagno del segnale analogico di ingresso, l'attivazione degli ingressi ausiliari, ecc...

Di seguito si riporta, a titolo di esempio, un estratto di codice scritto in assembler del TMS, illustrante i meccanismi descritti sopra.

Il programma usa la macro "SETTLC" per inviare una coppia di parole di configurazione come sopra specificato. Questa macro viene chiamata 3 volte con parametri diversi per poter configurare in modo completo il TLC.

```

;-----Dichiarazioni delle costanti e delle variabili-----
*TA:  .SET  36                ; Costante per il registro TA
RA:   .SET  36                ; Costante per il registro RA
TB:   .SET  15                ; Costante per il registro TB
RB:   .SET  15                ; Costante per il registro RB
TARA: .SET  (512*TA)+(4*RA)    ; Costante a 16 bit ottenuta da TA e RA
TBRB: .SET  (512*TB)+(4*RB)+2 ; Costante a 16 bit ottenuta TB e RB
CTRL: .SET  00100011B        ; Costante a 16 bit per settare modalità sincrona

      .BSS  COM,1            ; Variabile usata come buffer

```

```

; ----- Dichiarazione di macro -----
SETTLC $MACRO COD
LACK 3 ; La costante 3 viene depositata nella variabile buffer
LDPK COM
SACL COM
IDLE ; ...da cui sarà prelevata alla prossima interruzione XINT
LALK :COD: ; Si invia a questo punto la parola di configurazione
LDPK COM
SACL COM
IDLE
$END

```

```

; ----- Programma principale -----

```

```

.TEXT
DINT ; Disabilitazione delle interruzioni
LACK 21H ;
LDPK IMR ; Smascheramento delle interruzioni XINT e INTO
SACL IMR ;
ZAC
SACL DXR ; Azzeramento dei registri della seriale
SACL DRR
LDPK COM
SACL COM ; Azzeramento della variabile buffer
SETTLC TARA ; Impostazione dei registri TA e RA del convertitore
SETTLC TBRB ; Impostazione dei registri TB e RB del convertitore
SETTLC CTRL ; Impostazione della modalità di trasmissione sincrona
□
□
□

```

```

;----- Routine di trattamento dell'interruzione XINT-----

```

```

TXTLC: LDPK COM
LAC COM ; Viene prelevato il dato presente in COM...
LDPK DXR
SACL DXR ; ...e viene deposto nel registro di trasmissione
RET

.END

```

Per ulteriori informazioni sulle modalità di programmazione del convertitore si rimanda al manuale di riferimento.

4.f Circuiti di condizionamento dei segnali analogici

Il convertitore TLC32040 acquisisce i segnali analogici dal mondo esterno attraverso i due ingressi IN e AUX_IN, corrispondenti ai pin 26 e 24, mentre dall'uscita OUT, pin 22, fornisce il segnale analogico risultante dal processo di conversione D/A.

Gli ingressi alla scheda sono stati realizzati tramite dei connettori RCA. I segnali prima di giungere al convertitore vengono opportunamente condizionati attraverso un circuito che opera sostanzialmente una regolazione di ampiezza con controllo software (figura 22).

I segnali analogici di ingresso sono connessi ai piedini 5 e 10 di un circuito integrato (U26, LM324) contenente 4 amplificatori operazionali, che vengono utilizzati in cascata, due per l'ingresso IN, e due per l'ingresso AUX_IN.

Il primo stadio, configurato ad inseguitore di tensione, funziona da separatore rispetto alle sorgenti esterne di segnale. Il secondo stadio è configurato come amplificatore a guadagno variabile; ciò è ottenuto selezionando valori diversi della resistenza di ingresso, utilizzando degli switch analogici contenuti nell'integrato CD4016 (U30).

Da notare che il CD4016 per poter svolgere correttamente la funzione di interruttore per segnali a valor medio nullo, deve essere alimentato in modo simmetrico, nel nostro caso $V_{DD} = +5$ e $V_{SS} = -5$; conseguentemente la tensione di controllo di ogni interruttore dovrà essere $V_{ON} = +5$ e $V_{OFF} = -5$.

Gli switch a CMOS sono perciò controllati da quattro transistor (T1,T2,T3,T4, BC307), che espandono la tensione di partenza a livelli TTL, provenienti dall'integrato U29 (vedi fig.20), nei livelli richiesti +5 e -5.

La programmazione del guadagno degli ingressi è effettuata dal TMS con un'istruzione di I/O:

OUT control, PA4

con la quale si invia un'opportuna parola di controllo sul bus dati, alla porta PA4 corrispondente all'integrato U29 (74F574). A tale scopo si impiegano i bit D5,...,D2 della parola di controllo. Essi sono in corrispondenza 1:1 con le linee A,B,C e D indicate nella figura 19 e vengono impostati nel modo visibile in tabella:

Bit	D5	D4	D3	D2	
	0	0	0	0	Amplificazione massima
	1	0	1	0	Amplificazione media
	1	1	1	1	Amplificazione minima

AUX_IN IN

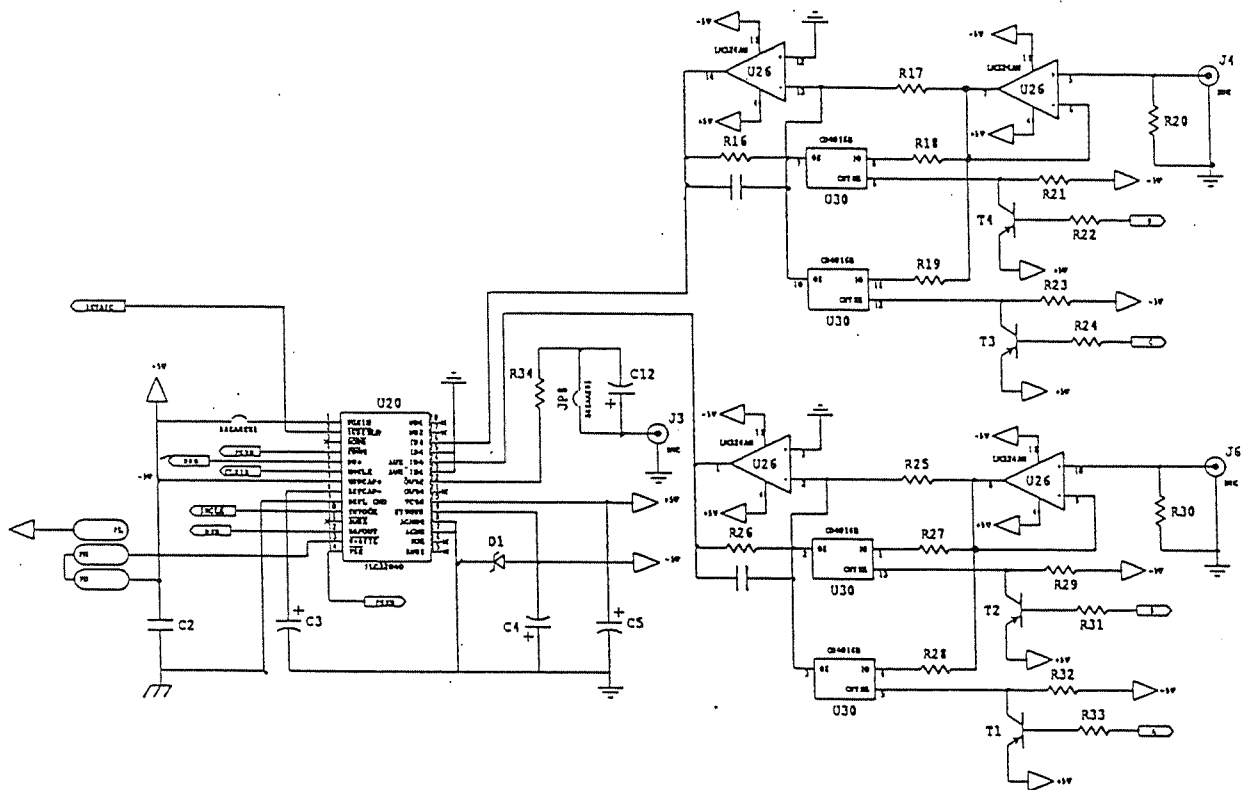


Fig. 22 Circuito di condizionamento dei segnali analogici di ingresso

4.g Seriale esterna

La versione precedente della scheda prevedeva l'uso esclusivo del convertitore TLC32040. Ciò comportava delle limitazioni abbastanza marcate nel caso in cui, in applicazioni speciali, era richiesta una maggiore frequenza di campionamento (ricordiamo che la massima velocità di campionamento del TLC è di 19.2 kHz).

Nella versione attuale si è pensato così di dotare la scheda della possibilità di collegare il bus seriale del processore DSP anche all'esterno del modulo, consentendo l'interfacciamento con convertitori seriali di prestazioni superiori o con altri qualsiasi altro dispositivo che rispetti il protocollo Texas.

La sezione di interfaccia visibile in figura 23 è basata su tre integrati, U27, U28, U29. I primi due sono buffers del tipo 74LS244 che implementano una sorta di multiplexer avente lo scopo di smistare al TMS i segnali provenienti dall'interfaccia seriale esterna oppure dal TLC presente sulla scheda: il controllo del multiplexer viene effettuato con i bit D0 e D1 del registro U29 (74F574) già parzialmente utilizzato per la programmazione del guadagno. La scelta tra il convertitore interno e quello esterno viene fatta dal TMS con la solita istruzione di output alla porta PA4, come definito nella seguente tabella:

Bit	D1	D0	
	-	0	Seriale interna
	1	1	Seriale esterna con FSX gen. esternamente
	0	1	Seriale esterna con FSX generato da TMS

Come si vede, impiegando il convertitore esterno occorre specificare se il segnale di FSX deve essere generato dal TMS oppure dal dispositivo esterno. Infatti, si ricorda che la linea FSX del processore può essere configurata come un ingresso o una uscita definendo il bit TXM, del registro di stato ST1. Il circuito che opera questa commutazione è realizzato sfruttando delle sezioni libere dell'integrato U23 (74LS125).

Da sottolineare la particolarità del fatto che, mentre le linee DR, DX, FSR, FSX, CLKX, CLKR, sono effettivamente commutate o sul TLC interno oppure sulla seriale esterna, la (sola) linea CLKOUT deve essere lasciata connessa contemporaneamente nelle due direzioni, in quanto una sua assenza provocherebbe un malfunzionamento del TLC, essendo tale componente realizzato in parte in tecnologia "switched-capacitors".

• Nella figura 23 è visibile anche la nomenclatura completa dei pin del connettore Canon: si noti il particolare delle doppie piazzole (pin 11,12,13,14) alcuni delle quali possono essere utilizzabili alternativamente per i collegamenti di massa o per i segnali di controllo del TMS.

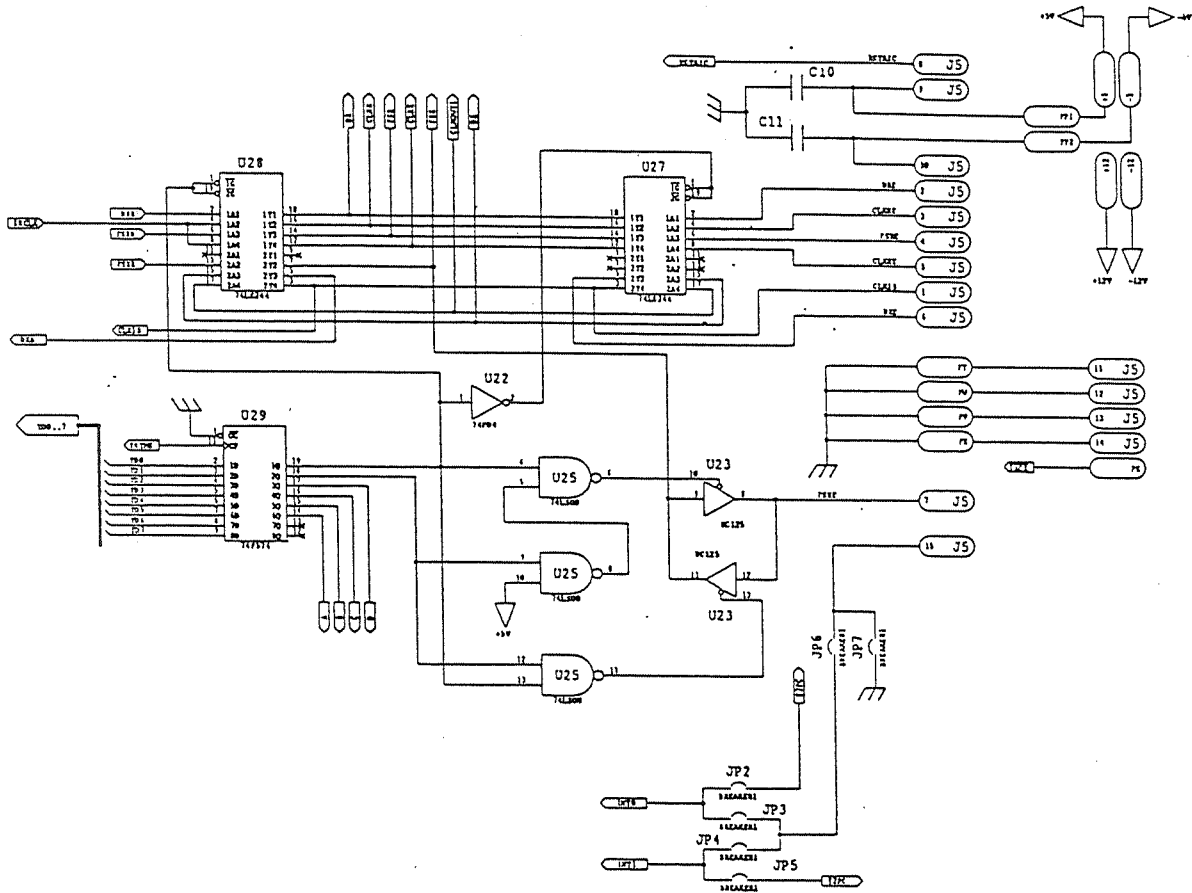


Fig. 23 Circuiti di controllo dell'interfaccia seriale

Per comodità del programmatore, riportiamo di seguito una tabella riassuntiva delle parole di controllo complete per la programmazione della seriale e della sezione di condizionamento.

Funzione Selezionata	D7	D6	D5	D4	D3	D2	D1	D0	Vin Scheda	Vin TLC
Seriale interna -										
Max. Amplific. (= 50)			0	0	0	0	-	0	0.1 Vpp	5 Vpp
Media Amplific. (= 10)			1	0	1	0	-	0	0.6 Vpp	6 Vpp
Min. Amplific. (= 2)			1	1	1	1	-	0	3 Vpp	6 Vpp
Seriale esterna - FSX entra							1	1		
Seriale esterna - FSX esce							0	1		

5) Realizzazione del PCB

Il progetto del circuito stampato è stato fatto con l'ausilio del sistema P-CAD corredato di un plotter HP DraftPro DXL Mod 7575A in dotazione al laboratorio elettronico dell'IEI. Si elencano di seguito i passi del progetto del circuito stampato:

a) individuazione di i componenti del circuito non presenti nella libreria del P-CAD. Nel nostro caso sono mancanti il TMS320C25, il TLC32040 le ram MC6206 versione slim, prese RCA ecc. Di tali componenti sono stati rilevati dai rispettivi manuali le dimensioni fisiche e le sigle associate ai pin (abbreviazioni della funzione espletata); dopodichè questi sono stati inseriti nella libreria stessa.

b) posizionamento dei componenti. Può essere fatto eseguire automaticamente al P-CAD oppure manualmente; nel nostro caso in base alle funzioni svolte da alcuni componenti e in base ai tipi di segnali da connettere con l'esterno della scheda si è ritenuto necessario eseguire manualmente tale operazione; il risultato finale è stato raggiunto ovviamente dopo varie prove tese ad ottimizzare la disposizione.

Per quanto riguarda i tratti di pista da tracciare a mano nel nostro caso sono molto limitati, essendo unicamente costituiti dalle tensioni +5, -5, +12, -12 provenienti dal bus del PC e da un tratto di massa, cosiddetta analogica, intorno al TLC32040 e alle prese RCA.

Facciamo infine osservare che, rispetto al disegno elettrico del circuito in oggetto, sono stati inseriti i condensatori di filtro vicino alle tensioni di alimentazione dei chip e sono stati aggiunti e distribuiti, dove ritenuto necessario, dei cosiddetti "punti di prova" che tramite la saldatura di pin, consentono l'ancoraggio delle sonde degli oscilloscopi ecc.. Tali punti sono etichettati con sigle opportune, (segnali BIO, Reset, CLKOUT, ecc.).

c) lancio del programma di sbroglio vero e proprio, la durata del quale dipende ovviamente dal tipo di personal computer impiegato e dagli algoritmi a disposizione nel sistema di CAD. Nel nostro caso con le dimensioni imposte della scheda (25x10 cm), nonostante l'impiego dell'algoritmo di RIP-PAP il sistema non è riuscito a completare il 100 % del lavoro: sono rimaste da stendere una quindicina di piste. Dopo aver esaminato la situazione si è deciso di posizionare tali piste sullo strato interno riservato inizialmente alla sola tensione +5. Dopo aver completato la stesura delle piste si è definito lo strato della tensione come un reticolato con maglia di 1mm x 1mm, anzichè come uno strato omogeneo: tale accorgimento consente un risparmio nel costo del fotoplottaggio senza peraltro diminuire l'efficacia della schermatura. Riassumendo alla fine del lavoro si sono ottenuti quattro strati così utilizzati:

- uno strato esterno con le piste (lato componenti);
- un primo strato interno per la massa, senza nessuna pista;
- un secondo strato interno per la tensione di alimentazione con un limitato numero di piste;
- uno strato esterno per le piste (lato saldatura).

Sullo strato interno di massa ci sono definite solo le corone per i contatti sui fori passanti; l'assenza di piste su di uno strato viene opportunamente sfruttata per avere un costo minimo di fotoplottatura dello strato sulla relativa pellicole.

d) preparazione dei dischetti dei file Gerber, contenenti tutte le informazioni per la fotoplottatura dei layout degli sbrogliati sulle pellicole e definizione delle altre specifiche necessarie alle ditte esterne per poter predisporre l'esecuzione del circuito stampato, come ad esempio lo spessore della scheda, il tipo di supporto, il grado di isolamento, il tipo di trattamento (sold resist), serigrafia, doratura eventuale dei connettori, il controllo visivo o elettrico degli stampati.

Le dimensioni della scheda Leonard C25-02 ottenute sono di 25 x 10 cm (è chiaro che dimensioni più piccole si potrebbero ottenere facendo il PCB con più di quattro strati, in tal caso aumenta però il costo degli stampati), lo spessore dello stampato è quello standard richiesto dal bus PC IBM cioè di 1,6 mm ed il connettore è dorato. Per la connessione del bus seriale del TMS320C25 verso l'esterno è stato impiegato un connettore a 15 contatti di tipo Cannon, di norma utilizzato da schede PC IBM. I layer corrispondenti ai vari strati del circuito stampato della scheda LeonardC25-02 sono riportati nella nota tecnica IEI B4-58 '92.

I prototipi delle sbarrette metalliche per il fissaggio sui cabinet sono stati preparati nell'officina dell'IEI mentre a quelle definitive ha provveduto la Leonardo facendole costruire da una ditta esterna (vedere in appendice i particolari della squadretta).

7) Montaggio prototipi e test hardware.

Una volta ottenuti gli stampati ed avere eseguito un controllo della lavorazione, sono stati montati un paio di prototipi impiegando zoccoli per alloggiare tutti i chip del circuito. Per la rilevazione di errori e anomalie di funzionamento ci siamo avvalsi di un generatore di forme d'onda, un oscilloscopio analogico Tektronics 2465B 400Mhz e un Logic Analyzer HP 16500 100Mhz, 80 canali (vedi appendice). Quest'ultimo strumento, in mancanza di emulatore, si dimostra essenziale per la ricerca degli errori di progetto del PCB e di quelli di montaggio dei componenti; le modalità di utilizzo sono già state indicate nella (4).

Per eseguire le prove iniziali della scheda è stata approntata e caricata sulla Eprom una versione del monitor con alcune particolarità studiate appositamente per facilitare il controllo delle funzioni di base del sistema ad esempio la trasmissione e la ricezione di dati tra PC e la scheda. Inoltre sono stati inseriti nell'archivio dell'Editor e quindi richiamabili a piacere, alcuni programmi di ausilio per la verifica del corretto funzionamento della scheda: ad es. invio e lettura di costanti, programmi di generazione di particolari forme d'onda. Alcuni di questi programmi sono riportati nella già citata nota tecnica (4); altri programmi di utilità e applicativi saranno raccolti in una apposita nota tecnica.

Attraverso vari controlli sono stati rilevati alcuni errori che in un circuito complesso come quello in oggetto è molto difficile evitare. Sono stati corretti di conseguenza i layer e ordinata di nuovo l'esecuzione degli stampati.

E' stato infine verificato il corretto funzionamento di un paio di prototipi relativi agli stampati definitivi ed effettuato dei tests anche su diversi tipi di personal compatibili IBM: dopodichè il lavoro di realizzazione hardware si può considerare concluso.

6) Il monitor e il colloquio con l'elaboratore ospite

La versione del monitor fornito inizialmente dalla soc. Leonardo è stata adattata alla versione attuale della scheda. Di seguito viene data una breve descrizione del monitor e delle modalità di utilizzo da parte dell'elaboratore ospite.

Il monitor è composto essenzialmente da tre parti:

- le routines per il trattamento dell'interruzione da reset;
- le routines per il trattamento dell'interruzione INT0;
- un vettore contenente 2048 campioni di un periodo della funzione seno ottenuti per arrotondamento e rappresentati in complemento a 2 su 16 bit.

Dai listati contenuti in appendice si può notare come la prima parte contenga le dichiarazioni delle macro e delle variabili usate nel monitor, oltre alle sezioni dei vettori di interrupts e dei registri mappati in memoria.

Dopo aver disabilitato e mascherato opportunamente le interruzioni (mascheramento di tutte le interruzioni ad eccezione della INT0), la routine di gestione del segnale di reset provvede a modificare la zona di memoria riguardante i vettori di interruzione mappati in RAM all'indirizzo 1000_{16} (sezione "MAPINT"); essi sono:

```
RINVIO: .SPACE 2*16 (Salta alle routines di estensione del monitor)
ISR1:   .SPACE 2*16 (Salta alle routines dell'interruzione Int1)
ISR2:   .SPACE 2*16 (Salta alle routines dell'interruzione Int2)
TISR:   .SPACE 2*16 (Salta alle routines dell'interruzione da Timer)
RISR:   .SPACE 2*16 (Salta alle routines dell'interruzione Rint)
XISR:   .SPACE 2*16 (Salta alle routines dell'interruzione Xint)
TRSR:   .SPACE 2*16 (Salta alle routines dell'interruzione Trap)
```

In pratica accade che nella pagina zero della ROM, in corrispondenza del vettore di interrupt, ci siano delle istruzioni di branch incondizionato alle locazioni elencate sopra. Qui viene memorizzato dal programmatore il salto alle varie routines di gestione delle interruzioni.

Sostanzialmente quindi, per ogni interruzione, ad eccezione della INT0, si hanno due salti: uno in pagina zero della ROM, che è il "vero" vettore delle interruzioni, l'altro reindirizzato da qui in memoria programma, alla sezione "MAPINT" dove avviene il salto alla routine vera e propria.

Se da una parte è vero che questo meccanismo comporta, per ogni interruzione la necessità di due salti, dall'altra invece offre una notevole flessibilità ed espandibilità del codice del nucleo, in quanto dà la possibilità di testare i programmi di gestione in memoria RAM, e quindi non c'è alcun bisogno di dover riscrivere le EPROM ogni volta che si vogliono apportare delle modifiche.

Dopo aver eseguito la riabilitazione delle interruzioni mascherabili la routine di reset esegue ciclicamente l'operazione di "IDLE", con la quale il processore non fa alcuna operazione; esso rimane in questo stato fino all'arrivo di una interruzione. Dopo averla servita il processore ritorna in IDLE.

A questo punto l'unica interruzione che può essere servita dal processore è quella relativa alla INT0, perché è l'unica rimasta smascherata dalla routine di reset. Alla INT0

sono collegate le routines che costituiscono la seconda parte del monitor. L'interruzione INT0, in sostanza, segnala l'intenzione da parte del calcolatore ospite di avviare un colloquio.

Tale colloquio si concretizzerà ad esempio nella lettura o nella scrittura di un blocco dati, nell'esame dei registri del microprocessore, ecc...

In effetti la INT0 permette di leggere e/o modificare lo stato dei seguenti oggetti:

Blocco di program memory (comando = 0 (lettura) 1 (scrittura))

Blocco di data memory (comando = 2 (lettura) 3 (scrittura))

Program counter (comando = 4 (lettura) 5 (scrittura))

Auxiliary registers (comando = 6 (lettura) 7 (scrittura))

Stack (comando = 8 (lettura) 9 (scrittura))

Memory Mapped Registers (comando = 10 (lettura) 11 (scrittura))

T register (comando = 12 (lettura) 13 (scrittura))

P register (comando = 14 (lettura) 15 (scrittura))

ACC register (comando = 16 (lettura) 17 (scrittura))

ST0 register (comando = 18 (lettura) 19 (scrittura))

ST1 register (comando = 20 (lettura) 21 (scrittura))

Inoltre con il comando = 22 il controllo viene passato all'indirizzo 1000h per una eventuale estensione della INT0.

Con il comando = 25 si esce dalla INT0.

La procedura seguita dal PC per eseguire un comando, consisterà quindi nell'invio di una INT0, tramite scrittura (o lettura) nell'apposito registro, nell'invio del codice del comando, seguito dagli eventuali parametri, e infine dall'invio del comando 25, (uscita dalla INT0).

Da parte sua, il monitor, in seguito ad una INT0, preleverà dal buffer il dato indicante il codice del comando: esso verrà usato per calcolare lo spiazzamento all'interno di una tabella di salti alle subroutines corrispondenti ai comandi stessi.

Al ricevimento del comando di "uscita dalla INT0" il monitor esegue il ripristino dei registri sporcati durante l'esecuzione dei comandi in maniera da far riprendere al processore l'elaborazione sospesa al momento dell'interruzione.

Bibliografia

- 1) G. Bertini, M. Chimenti, F. Denoth: "TAU2: un terminale audio per esperimenti di computer music" Alta Frequenza, vol. 12, dicembre 1977.
- 2) L. Tarabella, G. Bertini: "A Digital Signal Processing System and a Graphic Editor for Synthesis Algorithms" Proc. of the ICMC, Columbus, Ohio., pp. 312-315, 1989.
- 3) L.M. Del Duca: "Elab-C25 un sistema di elaborazione numerica del suono in tempo reale" Proc. of the VIII Colloquio di Informatica Musicale, Cagliari 1989, pp 80-82.
- 4) G. Bertini, A. Landucci, M. Marani, M. Moretto: "Moduli di acquisizione ed elaborazione digitale di segnali in tempo reale LeonardC25-01. Descrizione realizzazione e test dei prototipi" Nota tecnica IEI B4-43, 1991.
- 5) L.M. Del Duca : "Relazione progetto ARIETE - Finanziamenti PIM Progetti Integrati Mediterraneo", Leonardo Spa, 1991.
- 6) G. Bertini, L.M. Del Duca : "Studio e ricerca su metodologie e strumentazione speciali per l'abbattimento di rumori acustici", Contratto di collaborazione Leonardo Spa - IEI, 1/10/91
- 7) TMS 320C25 User's Guide, Texas Instruments, 1989.
- 8) TLC32040 Analog interface Circuit, Texas Instruments, 1988
- 9) L. Leodori : "Elaboratore di segnale per la cancellazione attiva del rumore ambientale", tesi di Laurea, Univer. degli Studi di Roma "La Sapienza", corso di Laurea in Ingegneria Elettronica, AA 1990/91.
- 10) PC Hardware Reference Library- Technical Reference, IBM.
- 11) Microprocessor and Peripheral Handbook , Intel 1989
- 12) Leonard C25 User's Guide, Leonardo Spa, Massa, Italy.
- 13) Del Duca L.M., Marani M.: "Sound 2000: Una stazione per l'educazione al suono", Proc. of the IX CIM, Genova, 1991.
- 14) A. Di Bari : "Una stazione di lavoro musicale basata su Personal Computer e moduli DSP. Realizzazione di un prototipo e del software di base", tesi di Laurea, Univ. degli Studi di Pisa, corso di Laurea in Scienze dell'Informazione, AA 1991/92.
- 15) D. Fabbri : "Progetto e realizzazione di una stazione di lavoro per la sintesi e l'elaborazione di segnali musicali, basata su Personal Computer e moduli DSP", tesi di

Laurea Univer. degli Studi di Pisa, corso di Laurea in Ingegneria Elettronica, AA 1992/93.

16) G.Bertini, M.Marani: "Convertitori AD/DA modulari multicanali, per scheda Leonard C25", nota tecnica IEI, 1993 (in stampa)

17) G.Bertini, M.Marani: "Modulo di conversione AD/DA sigma-delta, stereo hi-fi, per scheda Leonard C25", nota tecnica IEI, 1993 (in stampa)

Appendici ~