

P. ANCILOTTI, M. FUSANI, N. LIJTMER

Istituto di Elaborazione della Informazione del C.N.R., Pisa.

SISTEMI DI PROCESSI SEQUENZIALI ASINCRONI: PROPRIETA'
DI BILANCIAMENTO NELL'ANALISI DELLE CAUSE DI "DEADLOCK"

Sommario: Scopo del presente lavoro è la determinazione di condizioni necessarie e sufficienti affinché in una sottoclasse di sistemi, costituiti da insiemi di processi asincroni comunicanti, non si verifichino condizioni di "deadlock". Tale sottoclasse è costituita da sistemi, i cui processi sono modellati da schemi con un'unica sequenza di controllo e la cui interazione è garantita tramite "mailboxes" che collegano i processi uno-a-uno. Vengono prese in considerazione condizioni di "deadlock" originate unicamente dal meccanismo di comunicazione tra processi.

1. Introduzione.

Lo studio della comunicazione tra moduli ha acquistato un interesse notevole nel progetto e nella produzione di sistemi strutturati e modulari. In particolare, la comunicazione avviene mediante il meccanismo di scambio di messaggi tramite l'esecuzione, da parte di ogni modulo, delle uniche funzioni "SEND" e "RECEIVE". Questo implica che ogni modulo può essere descritto in termini del suo comportamento d'ingresso/uscita e che le sue interfacce sono standardizzate. Inoltre, dato che ogni modulo diventa, durante l'esecuzione, un processo sequenziale ciclico, per garantire un certo grado di asincronismo tra processi del sistema, è necessario introdurre delle code di messaggi chiamate "mailboxes". Ogni "mailbox" mette in comunicazione almeno due processi ed in essa sono allocati i messaggi già inviati dal processo mittente ma non ancora prelevati dal ricevente.

Scopo del presente lavoro è la determinazione di condizioni necessarie e sufficienti affinché, in una classe di sistemi strutturati e modulari le cui caratteristiche sono illustrate nel seguito, non si verifichino condizioni di stallo ("deadlock") originate dal meccanismo di comunicazione tra i processi.

Questa presentazione si basa sui risultati di precedenti lavori [1,2]. In essi viene assunto che un singolo modulo dà luogo a un processo sequenziale ciclico ed è rappresentato da uno schema di elaborazione, [3], mentre un sistema di n moduli asincroni è rappresentato dalla composizione parallela di n schemi. In questo contesto, ogni processo del sistema è modellato da una sequenza di controllo di uno schema:

$$\sigma = e_1, e_2, \dots, e_n, e_1, e_2, \dots, e_n, \dots$$

dove e_i rappresenta l'inizio o il termine di una operazione, e la stringa e_1, \dots, e_n individua il periodo della sequenza. Poiché σ è la sequenza di controllo di un processo ciclico essa è infinita. Dalla fusione delle sequenze di controllo dei singoli schemi risultano le possibili sequenze di controllo del sistema.

Poiché ogni processo può bloccarsi in seguito ai due seguenti eventi:

- i) La funzione "SEND" è applicata ad una "mailbox" piena;
- ii) La funzione "RECEIVE" è applicata ad una "mailbox" vuota;

l'operazione di fusione può dar luogo ad una sequenza di controllo finita se tutti i processi sono bloccati. Questa circostanza individua una condizione di "deadlock del sistema".

Mentre i singoli processi vengono modellati da schemi di elaborazione e i sistemi dalla loro composizione parallela, la struttura topologica del sistema è individuata da un grafo orientato, detto grafo di connessione, i cui nodi rappresentano i processi e i cui archi rappresentano le "mailboxes".

Ogni arco orientato fra due nodi rappresenta la "mailbox" su cui il primo processo esegue funzioni "SEND" e il secondo processo esegue funzioni "RECEIVE".

In questo lavoro prenderemo in considerazione la classe dei sistemi tali che ogni schema componente ha al più una sequenza di controllo e ogni "mailbox" mette in comunicazione esattamente due processi.

E' stato dimostrato che[2]:

1.1 "L'esistenza di un semiciclo nel grafo di connessione è una condizione necessaria per l'esistenza di un "deadlock" nel sistema".

1.2 "Se in una particolare sequenza di controllo di un sistema si verifica una condizione di "deadlock", allora la stessa condizione si verifica in tutte le possibili sequenze di controllo del sistema".

In base a questi risultati, analizzando ogni sistema dal punto di vista topologico, viene individuata una proprietà, detta proprietà di bilanciamento, che è verificata se il sistema è esente da "deadlock".

Ovviamente l'analisi sarà limitata a sistemi i cui grafi di connessione sono grafi connessi e in cui esiste almeno un semiciclo poiché altrimenti per la proprietà 1.1 non può verificarsi nessuna condizione di "deadlock".

2. Proprietà di bilanciamento.

La condizione di bilanciamento, come dice il nome, esprime una proprietà del sistema che deve essere verificata affinché esista una compensazione fra i messaggi inviati a una qualunque "mailbox" e quelli da essa prelevati. Uno sbilanciamento in un senso o nell'altro tende a portare il sistema in una condizione di "deadlock" con la "mailbox" vuota o piena.

In ogni sistema la condizione di bilanciamento è necessaria per l'assenza del "deadlock" e dipende dalla topologia del sistema, e dunque dalla struttura del grafo di connessione, e dal numero delle varie funzioni SEND e RECEIVE che ogni processo esegue in ogni periodo di ripetizione della propria sequenza di controllo. Tale condizione non dipende invece dalla struttura interna del processo. Infatti, in un sistema esente da "deadlock", cioè nel quale la condizione di bilanciamento è verificata, alterando la struttura interna dei processi tale condizione, come sarà dimostrato, resta inalterata, mentre condizioni di "deadlock" possono verificarsi. Ciò equivale a dire che la proprietà di bilanciamento è una condizione necessaria ma non sufficiente per l'assenza di "deadlock".

Nel caso particolare di sistemi il cui grafo di connessione è un ciclo orientato di n processi la condizione di bilanciamento deriva dal seguente teorema:

Teorema 2.1: Condizione necessaria per l'assenza di "deadlock" in un sistema il cui grafo di connessione è un ciclo di n processi P_1, \dots, P_n è che

$$\prod_{i=1}^n S_i = \prod_{i=1}^n R_i,$$

dove S_i e R_i sono rispettivamente il numero di funzioni SEND e di funzioni RECEIVE che il processo P_i esegue in ogni periodo.

Dimostrazione: Siano m_1, \dots, m_n le "mailboxes" da cui ricevono informazioni P_1, \dots, P_n e inviano informazioni P_n, P_1, \dots, P_{n-1} . Dato che il sistema è esente da "deadlock" per la proprietà 1.2 tutte le sequenze di controllo sono infinite. Consideriamo un prefisso π di una sequenza qualsiasi, composto da un numero arbitrario di eventi. Sia K_i ($i=1, \dots, n$) il numero di periodi interi del processo P_i in π .

Essendo le "mailboxes" inizialmente vuote, valgono le seguenti disuguaglianze:

$$\begin{aligned} K_1 R_1 + r_1 &\leq K_n S_n + s_n \\ K_2 R_2 + r_2 &\leq K_1 S_1 + s_1 \\ \dots\dots\dots \\ K_n R_n + r_n &\leq K_{n-1} S_{n-1} + s_{n-1} \end{aligned} \quad (2.1)$$

dove r_i e s_i ($i=1, \dots, n$) sono rispettivamente il numero di RECEIVE e di SEND eseguite dal processo P_i nella porzione del periodo (K_i+1) esimo compresa in π . Dividendo entrambi i membri della disuguaglianza i -esima per K_i ($i=1, \dots, n$), e moltiplicando fra loro i primi membri e i secondi membri rispettivamente, poichè essi sono tutti non negativi, si ottiene:

$$\prod_{i=1}^n R_i + \zeta' \leq \prod_{i=1}^n S_i + \zeta''$$

dove ζ' e ζ'' tendono a zero al crescere dei vari K_i . Poichè π può essere scelto arbitrariamente lungo, segue:

$$\prod_{i=1}^n R_i \leq \prod_{i=1}^n S_i \quad (2.2)$$

Inoltre, detta l_i ($i=1, \dots, n$) la lunghezza della "mailbox" m_i , si ha:

$$\begin{aligned} K_1 S_1 + s_1 &\leq K_2 R_2 + r_2 + l_2 \\ \dots\dots\dots \\ K_{n-1} S_{n-1} + s_{n-1} &\leq K_n R_n + r_n + l_n \\ K_n S_n + s_n &\leq K_1 R_1 + r_1 + l_1 \end{aligned} \quad (2.3)$$

Effettuando sulle (2.3) operazioni analoghe a quelle eseguite sulle (2.1), si ricava:

$$\prod_{i=1}^n S_i \leq \prod_{i=1}^n R_i \quad (2.4)$$

Dalle (2.2) e (2.4) segue:

$$\prod_{i=1}^n S_i = \prod_{i=1}^n R_i \quad (2.5)$$

Q.E.D.

La 2.5) esprime la condizione di bilanciamento.

Nel caso di sistemi il cui grafo di connessione è un semiciclo⁽⁺⁾ vale il seguente teorema:

Teorema 2.2: Condizione necessaria per l'assenza di "deadlock" in un sistema il cui grafo di connessione è un semiciclo di n processi P_1, \dots, P_n è che

$$\prod_{i=1}^n P_i^+ = \prod_{i=1}^n P_i^- \quad (2.6)$$

dove, scelto arbitrariamente un verso di percorrenza del semiciclo, P_i^+ e P_i^- rappresentano rispettivamente il numero di funzioni (SEND o RECEIVE) che il processo P_i compie sulla "mailbox" che lo precede e sulla "mailbox" che lo segue nel verso di percorrenza.

La dimostrazione è analoga a quella del Teorema 2.1, e la (2.6) esprime la condizione di bilanciamento.

Nel caso di un sistema comunque complesso, esente da "deadlock", la condizione di bilanciamento deve valere per ognuno dei semicicli del grafo di connessione. In questo caso, in un sistema il cui grafo di connessione contiene n nodi e m archi si può dimostrare che per verificare la condizione di bilanciamento basta verificarla per $m-n+1$ semicicli.

(+) Mentre in un ciclo ogni processo esegue delle RECEIVE dalla "mailbox" che lo precede e delle SEND verso la "mailbox" che lo segue, in un semiciclo almeno un processo esegue solo SEND sulle due "mailboxes" a cui è collegato (e quindi esiste un altro processo che esegue solo RECEIVE).

3. Verifica statica delle condizioni di "deadlock".

Teorema 3.1: Condizione necessaria e sufficiente per l'assenza di "deadlock" in un sistema P costituito da n processi il cui grafo di connessione è un ciclo, è che esista almeno una sequenza di controllo del sistema che sia periodica.

Dimostrazione. La condizione sufficiente è subito dimostrata, poichè, se esiste una sequenza periodica, essa è infinita, e quindi, per la proprietà 1.2, tutte le sequenze sono infinite.

Per dimostrare la condizione necessaria partiamo dall'ipotesi che il sistema sia esente da "deadlock" e costruiamo una sequenza di controllo periodica.

Dimostriamo prima che esiste una n-upla di interi $\bar{K}_1, \dots, \bar{K}_n$ tali che dopo che ogni processo P_i ($i=1, \dots, n$) ha eseguito esattamente \bar{K}_i periodi tutte le mailboxes, sono di nuovo nella condizione iniziale (vuote). Perchè questo sia vero, deve esistere una soluzione intera diversa da zero del sistema di equazioni a coefficienti interi

$$\begin{aligned} K_1 S_1 - K_2 R_2 &= 0 \\ \dots & \dots \\ -K_1 R_1 &+ K_n S_n = 0 \end{aligned} \quad (3.1)$$

detto sistema di equazioni caratteristico di P. I coefficienti S_i ed R_i ($i=1, \dots, n$) hanno lo stesso significato mostrato nel teorema 2.1. Poichè il sistema è omogeneo il determinante deve essere uguale a zero, affinché esista una soluzione diversa da zero, cioè:

$$\prod_{i=1}^n S_i - \prod_{i=1}^n R_i = 0$$

Ciò è vero, per il Teorema 2.1, dato che P è esente da "deadlock". Sia $\bar{K}_1, \dots, \bar{K}_n$ una soluzione intera del sistema (3.1). Costruiamo una sequenza di controllo σ^P di P. Tale che, in un suo prefisso π , esistano, per almeno un processo P_j, \bar{K}_j periodi della sequenza di controllo σ_j . Esistono molti modi per costruire π , e ciò è sempre possibile dato che il sistema è esente da "deadlock".

Poichè, per la j-esima equazione del sistema, (3.1) $\bar{K}_j S_j = \bar{K}_{j+1} R_{j+1}$, possiamo concatenare a π una sottosequenza π' tale che, nel prefisso $\pi\pi'$ di σ^P esistono esattamente \bar{K}_j periodi di σ_j , e \bar{K}_{j+1} periodi di σ_{j+1} . Continuando in modo analogo la costruzione di σ^P si giunge a un suo prefisso ρ in cui esistono esattamente \bar{K}_i periodi di σ_i ($i=1, \dots, n$). Poichè $\bar{K}_1, \dots, \bar{K}_n$ è una soluzione del sistema (3.1), dopo l'esecuzione degli eventi di ρ tutte le "mailboxes" sono nella condizione iniziale. Q.E.D.

In modo del tutto analogo si può dimostrare lo stesso teorema nel caso di sistemi il cui grafo di connessione sia un semiciclo. In questo caso si può dimostrare anche il seguente teorema:

Teorema 3.2: Se in un sistema P costituito da n processi P_1, \dots, P_n , il cui grafo di connessione è un semiciclo, è verificata la condizione di bilanciamento (2.6), è possibile assegnare ad ogni "mailbox" una dimensione tale che il sistema sia esente da "deadlock".

Dimostrazione. Analogamente a quanto visto nel Teorema 3.1, esiste una soluzione intera $\bar{K}_1, \dots, \bar{K}_n$ per il sistema di equazioni caratteristico che si ottiene dal sistema (3.1) sostituendo ad S_i ed R_i rispettivamente F_i' ed F_i'' e dove F_i' e F_i'' hanno il significato mostrato nel Teorema 2.2.

Perchè non ci sia deadlock è sufficiente che esista un processo P_j che nei primi \bar{K}_j periodi non si blocca. Poichè il grafo di connessione è un semiciclo, esiste almeno un processo P_j che esegue soltanto funzioni SEND. E' quindi sufficiente che le "mailboxes" a cui P_j è collegato abbiano dimensioni maggiori o uguali a $\bar{K}_j F_j'$ e $\bar{K}_j F_j''$ rispettivamente. Q.E.D.

Il teorema 3.1 può essere generalizzato nel seguente teorema:

Teorema 3.3: Condizione necessaria e sufficiente affinché un sistema P costituito da n processi P_1, \dots, P_n sia esente da "deadlock" è che esista almeno una sequenza di controllo di P che sia periodica.

Dimostrazione. La dimostrazione è analoga a quella del Teorema 3.1. Per quanto riguarda la condizione necessaria, il sistema di equazioni caratteristico, in questo caso, ha m equazioni in n incognite, dove m rappresenta il numero di "mailboxes". Poichè P è bilanciato, esistono, come conseguenza del Teorema

2.2, $m-n+1$ condizioni di bilanciamento. Ciò significa che $m-n+1$ equazioni sono combinazioni lineari delle altre. Il sistema di equazioni caratteristico è costituito quindi da $n-1$ equazioni indipendenti in n incognite e quindi ha infinite soluzioni intere. Q.E.D.

In base ai risultati del Teorema 3.3 è possibile formulare un algoritmo che permette, in un numero finito di passi, di verificare staticamente se un sistema P è esente o no da "deadlock". Illustriamo brevemente le fasi principali dell'algoritmo.

- I - Verifica della condizioni di bilanciamento. Se P non è bilanciato, ci sarà sicuramente un "deadlock".
- II - Determinazione della minima soluzione intera del sistema caratteristico.
- III - Costruzione del prefisso ρ , nel modo descritto nel Teorema 3.1, di una sequenza di controllo di P . Il sistema è esente da "deadlock" se e solo se ρ esiste.

4. Conclusioni.

E' stato mostrato che, per una sottoclasse di sistemi modulari asincroni, alcune proprietà relative alle condizioni di "deadlock" sono strutturali del sistema e non dipendono dalla particolare struttura di ogni modulo. La sottoclasse di sistemi che abbiamo preso in considerazione è tale che ad ogni modulo corrisponde un'unica sequenza di controllo e che ogni "mailbox" mette in comunicazione esattamente due processi. Inoltre le uniche condizioni di "deadlock" analizzate sono quelle originate dal meccanismo di scambio dei messaggi. Per questa sottoclasse di sistemi abbiamo ricavato una proprietà strutturale, detta proprietà di bilanciamento, che deve essere verificata affinché il sistema sia esente da "deadlock". E' stato infine illustrato un algoritmo che, in un numero finito di passi, permette di verificare staticamente se un sistema è esente o no da "deadlock". Tale problema è cioè decidibile per la sottoclasse di sistemi presi in considerazione.

5. Riferimenti.

- [1] P. Ancilotti, M. Fusani, N. Lijtmaer, C. Thanos, "Deadlock Conditions in Well Structured Modular Systems" GI-4 JAHRESTAGUNG, Berlin 9-12 October 1974 Lectures notes in Computer Science Vol. n.26 pag. 289-298 Springer-Verlag.
- [2] P. Ancilotti, M. Fusani, N. Lijtmaer "Interprocess communications: deadlock conditions" Nota Interna B75-11 IRI-CNR Pisa. Agosto 1975.
- [3] J.B. Dennis Course Notes "Computations Structures" M.I.T. 1967.