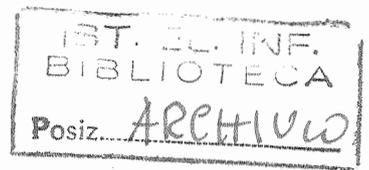


Consiglio Nazionale delle Ricerche



ISTITUTO DI ELABORAZIONE DELLA INFORMAZIONE

PISA

Progetto di un Dispositivo Digitale per il
calcolo di Medie Temporalì su segnali
lentamente variabili .

M.Bramanti - G.Gagliardi - C.Ori

A.Ribolini - A.Tozzi

Nota Interna : B 4 - 68

Dicembre 1989

Progetto di un Dispositivo Digitale per il
calcolo di Medie Temporali su segnali
lentamente variabili.

M.Bramanti - G.Gagliardi - C.Ori

A.Ribolini - A.Tozzi

Nota Interna : B 4 - 68

Dicembre 1987

Indice

1 - Introduzione	Pag. 01
2 - Descrizione della Logica del Dispositivo	Pag. 04
3 - Descrizione dello Schema Circuitale del Dispositivo	Pag. 09

1 - Introduzione

Sia nell'ambito della strumentazione per scopi biomedicali sia in molti e diversificati settori dell'elettronica industriale e' frequente il problema di dover trasdurre, elaborare e presentare segnali legati a grandezze molto lentamente variabili nel tempo o addirittura stazionarie per lunghi periodi (decine di secondi o minuti). Accade spesso, in tali casi, che il segnale utile di uscita dall'apparato sia affetto da rumore costituito da una lenta deriva dovuta a cause estremamente diverse fra loro e, in generale, di difficile individuazione.

Cio' si verifica tanto piu' facilmente quanto piu' critica e' la trasduzione della grandezza fisica di interesse ed e' quindi un fenomeno tipico, per esempio, delle tecniche di indagine non invasive - non distruttive.

Nell'ipotesi in cui il rumore suddetto sia a valor medio nullo, puo' essere utile interporre fra l'uscita dell'ultimo stadio dell'apparato di misura ed il dispositivo di presentazione, in generale un display di tipo digitale, un circuito che esegua una media temporale del segnale da presentare.

La soluzione circuitale per il problema sopradetto riportata nella presente nota e' stata elaborata in relazione a strumentazione specifica sviluppata nell'ambito di una collaborazione scientifica fra l'Istituto di Elaborazione dell'Informazione del CNR ed il Centro di

Ricerca Termica e Nucleare dell'ENEL rivolto allo studio di tecniche elettromagnetiche per la misura della portata di polverino di carbone sulle condotte di alimentazione di bruciatori in centrali termoelettriche.

Essa puo' comunque essere adoperata anche in svariati casi consimili, magari attraverso la modifica di alcuni parametri relativi al trattamento del segnale.

Il principio base del dispositivo e' quello di aprire una finestra temporale di durata " T " e all'interno di essa prendere un opportuno numero di campioni del segnale da trattare con spaziatura " T_c "; su tali campioni viene eseguita una media aritmetica il cui valore e' quindi presentato e mantenuto per un tempo " T' " sul display finale dell'apparato.

Alla fine dell'intervallo " T' " il ciclo inizia di nuovo con procedura identica. (vedi Fig. 1 bis)

Trascurando, in prima approssimazione, l'influenza del periodo di presentazione " T' ", l'operazione sopra detta e' equivalente ad un filtraggio di tipo passa - basso con frequenza di taglio

$$f_c = \frac{1}{2} \frac{1}{T_c}$$

con successiva operazione di media aritmetica sul segnale cosi' filtrato.

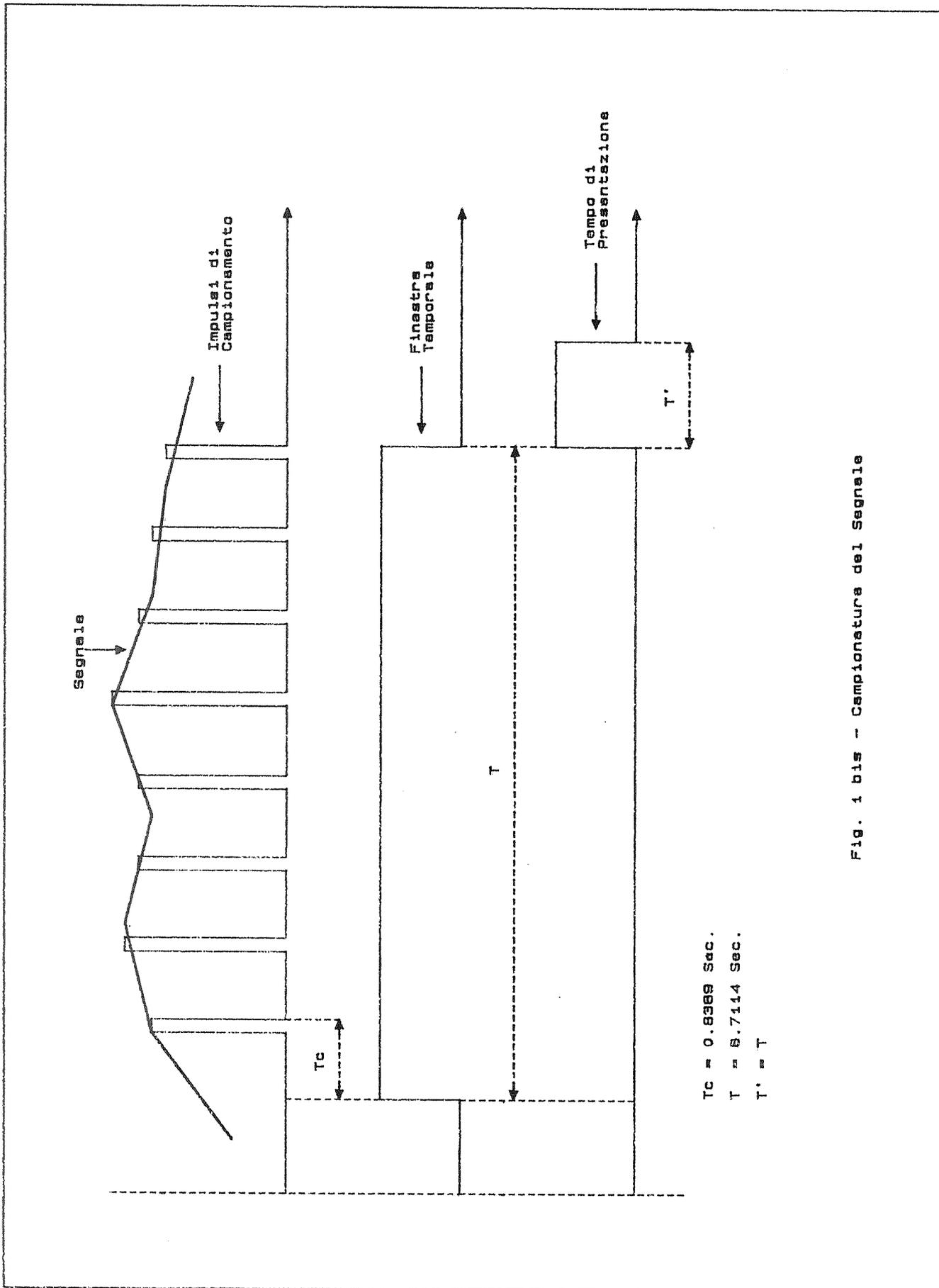


Fig. 1 bis - Campionatura del Segnale

2 - Descrizione della Logica del Dispositivo

Nella Fig. 1 e' riportata lo schema a blocchi del dispositivo articolato nelle sue funzioni logiche principali; il circuito dettagliato dei vari blocchi e' riportato nel paragrafo successivo.

Descriveremo ora, a grandi linee, il funzionamento logico dell'intero dispositivo.

Come comunemente accade in tutti i Dispositivi Digitali, e' presente un Oscillatore quarzato seguito da una catena di divisione di frequenza, per raggiungere la frequenza di Clock principale ed eventualmente generare frequenze multiple o sottomultiple necessarie per ottenere forme d'onda particolari.

Nel nostro particolare caso in cui le frequenze di lavoro del dispositivo sono abbastanza basse, la catena di divisione di una oscillazione primaria elevata garantisce una buona stabilita' in frequenza.

La frequenza di Clock cosi' ottenuta entra nel blocco Programmatore al fine di ottenere i comandi necessari alla gestione delle altre parti del sistema; nel caso particolare fornisce il segnale di Clock e Clear necessari all'Accumulatore ed il segnale di Start-Conversione al Convertitore A/D.

Come detto nel paragrafo precedente lo scopo del dispositivo e' quello di eseguire medie temporali, quindi sostanzialmente quello di fare la somma di campioni del

segnale di ingresso susseguentisi nel tempo ad istanti ben definiti.

Si ha quindi, per prima cosa, un circuito di Amplificazione che ha il compito di condizionare opportunamente il segnale analogico d'ingresso in modo da renderlo adatto alla dinamica del Convertitore A/D.

Il segnale viene acquisito e convertito in parole di 8 bit in codice Binario Puro dal Convertitore A/D il quale fornisce tali dati in forma parallela all'Accumulatore insieme al segnale di fine conversione (Status) necessario come riferimento per procedere alla somma di ogni nuovo set di dati con i precedenti. L'Accumulatore e' progettato per sommare successivamente 8 parole binarie di 8 bit; per evitare traboccamenti e quindi perdite d'informazione, il circuito lavora su di una lunghezza di parola di 12 bit disponibile in uscita in forma parallela.

Pertanto ad ogni parola binaria fornita dal Convertitore A/D vengono aggiunti quattro " 0 " alla sinistra del bit piu' significativo.

Il segnale di Status carica nei registri dell'Accumulatore la parola proveniente dal Convertitore A/D che pertanto viene sommata al contenuto precedente.

La nuova somma parziale cosi' ottenuta viene presentata in uscita dal segnale di Clock e contemporaneamente ripresentata in ingresso all'Accumulatore in attesa di una nuova parola dal Convertitore A/D e di un nuovo segnale di Status.

Quindi il funzionamento dell'Accumulatore e' di tipo ON - LINE, cioe' non memorizza il proprio contenuto presentandolo in uscita solo alla fine del ciclo di accumulo, ma presenta volta per volta in uscita il risultato della generica somma parziale.

Il risultato finale e', sempre, ovviamente, in codice binario puro.

Il segnale di Clear provvede ad azzerare, all'inizio di ogni ciclo di accumulo, i registri che conterranno le somme successive in modo da sommare " 0 " con la prima parola in arrivo dal Convertitore A/D.

Si pone ora il problema di visualizzare in cifre decimali l'operazione ottenuta.

La visualizzazione in cifre decimali del risultato finale avviene su Display a 7 segmenti con catodo comune; i circuiti di pilotaggio accettano in ingresso parole in codice BCD.

Pertanto l'uscita dell'Accumulatore viene inviata ad un Convertitore di Codice che provvede a trasformare l'informazione da codice binario di 12 bit in codice BCD a 15 bit al quale sui Display a 7 segmenti corrispondono 4 cifre. Il risultato di questa conversione di codice viene inviato ai Circuiti di Pilotaggio dei Display a 7 segmenti come precedentemente detto.

Tali circuiti di pilotaggio provvedono a decodificare il codice BCD in modo che ad ogni gruppo di 4 bit corrisponda un livello logico alto sulle uscite corrispondenti ai segmenti che comporranno la cifra decimale in oggetto.

Tali circuiti hanno caratteristiche tali da pilotare direttamente i Display senza nessun'altra interfaccia. Il blocco denominato " Not Significant Zero Blanking " e' costituito da un'insieme di porte logiche che esaminano il codice BCD che viene inviato ai Circuiti di Pilotaggio, e nell'ipotesi che i 4 bit relativi ad una cifra decimale siano tutti uguali a " 0 " inibiscono il corrispondente Circuito Pilota in modo che il Display resti spento sempreche' siano nelle stesse condizioni anche i bit relativi alle cifre piu' significative rispetto a quella in esame.

Si evita cosi' di avere visualizzati sui display gli zeri precedenti la prima cifra decimale significativa.

Tale controllo non agisce sul Circuito Pilota della cifra meno significativa.

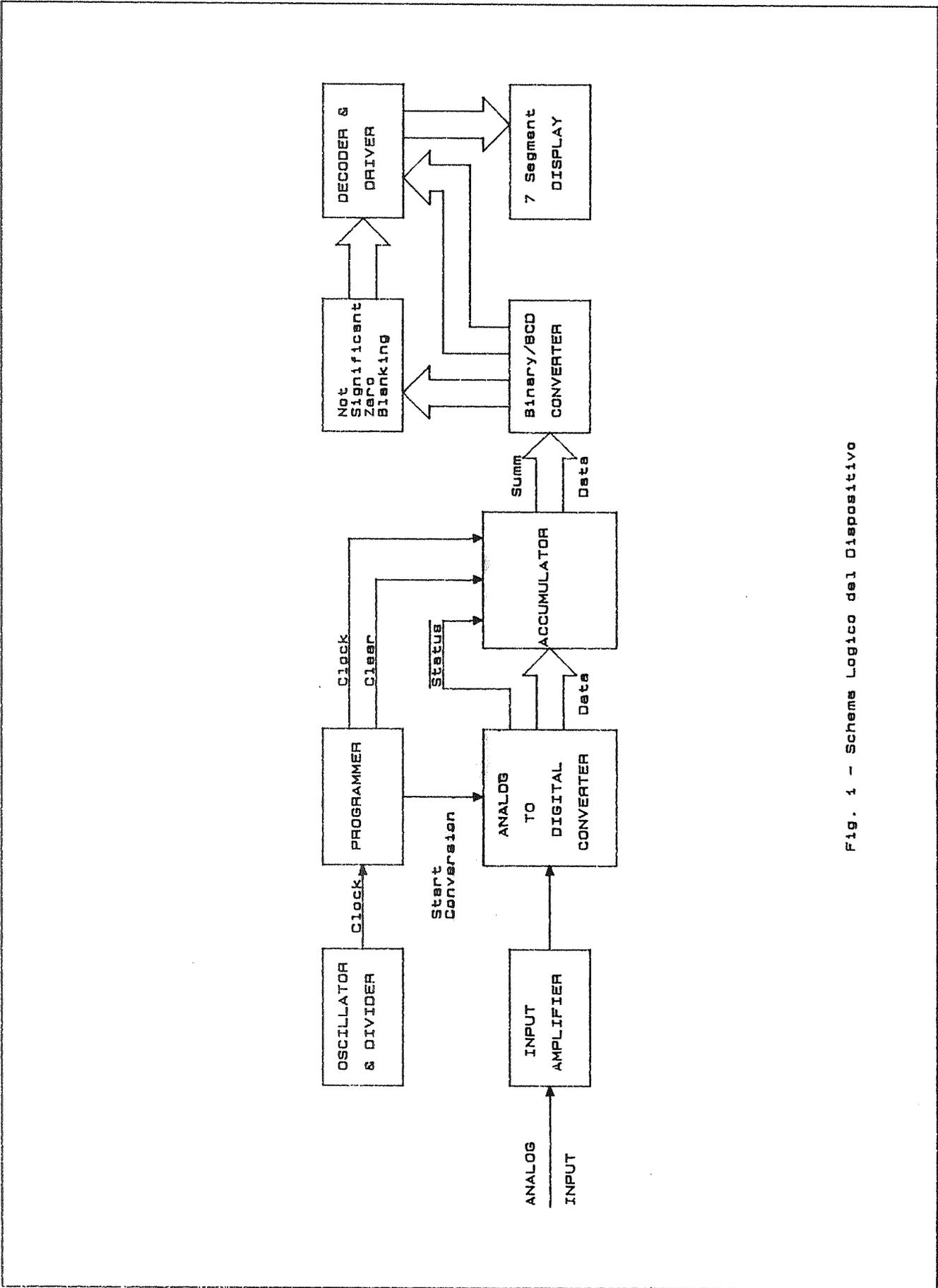


Fig. 1 - Scheme Logico del Dispositivo

3 - Descrizione dello Schema Circuitale del Dispositivo

Per semplicità di esecuzione grafica ed una più facile lettura lo schema circuitale, realizzato con il sistema OrCAD su PC-IBM, è diviso in tre parti collegate in cascata.

La prima parte, illustrata in Fig. 2, mostra l'Amplificatore d'ingresso, la seconda parte, illustrata in Fig. 3, mostra il Convertitore A/D e la parte di Programmazione necessaria a tutto il Dispositivo, la terza parte, illustrata in Fig. 4, mostra l'Accumulatore, il Convertitore di Codice ed il sistema di visualizzazione del risultato.

In quest'ultima figura si possono vedere anche le forme d'onda principali che temporizzano il Dispositivo. L'Amplificatore d'Ingresso (Fig. 2) ha il compito di condizionare il segnale analogico d'ingresso per renderlo compatibile con la dinamica del Convertitore A/D. Come si vede dai diagrammi riportati nello schema tale condizionamento consiste essenzialmente in una traslazione di livello ed un'amplificazione.

Poiché il segnale d'ingresso è, nell'applicazione specifica a cui è ora destinato il Dispositivo, mediamente intorno al valore di -0.5 Volt, esso va reso positivo con un valor massimo intorno ai 5 Volt.

Cio' si realizza con un amplificatore invertente con un guadagno massimo di valore uguale a 8 in modo che anche con segnale d'ingresso pari a -0.6 Volt si abbia in

uscita verso il Convertitore A/D un segnale di + 4.8 Volt, valore che rientra perfettamente nella dinamica del Convertitore A/D.

L'Amplificatore e' realizzato con un circuito integrato OP37 montato in configurazione invertente a guadagno variabile con continuita' da un minimo di 4 ad un massimo di 8.

I valori della resistenza di reazione ($R_1 + P_1$) e della resistenza d'ingresso R_2 sono stati scelti in modo da soddisfare abbastanza a queste specifiche, infatti il guadagno massimo nominale risulta :

$$G = \frac{33 \text{ K} + 47 \text{ K}}{10 \text{ K}} = 8$$

mentre il minimo risulta :

$$G = \frac{33 \text{ K}}{10 \text{ K}} = 3.3$$

La rete $R_4 - P_2 - R_5$ e' quella indicata nelle specifiche del costruttore per la regolazione dell'OFFSET dell'Amplificatore.

Il criterio di scelta del tipo di amplificatore e' stato quello di avere un basso rumore anche con alti valori del guadagno.

Passando ad esaminare la Fig. 3 consideriamo per prima cosa l'Oscillatore a 10 MHz.

Esso e' di tipo ibrido, TTL compatibile, in contenitore metallico, con una buona stabilita' e piccolo ingombro (tipo 14 pin dual-in-line).

Segue la catena di divisione di frequenza di cui si e' parlato al paragrafo 2.

I circuiti integrati usati, cosi' come gli altri dello schema, a parte il Convertitore A/D ed il circuito U2 - 74 LS93, sono del tipo CMOS per tre motivi : il primo e' che nella serie TTL non ci sono circuiti contatori/divisori di valore cosi' elevato in unico chip; il secondo e' che usando in questa parte del progetto circuiti CMOS si cerca di bilanciare l'assorbimento dell'altra parte del circuito in cui i circuiti Convertitori di Codice non vengono prodotti nella serie TTL - LS ma solo nella serie standard dotata di un discreto consumo; il terzo motivo e' che la forma d'onda del Clear, temporizzata al momento giusto, e' piu' semplice ottenibile con un CD4017 che con un'insieme di porte logiche come avremmo dovuto fare usando i circuiti TTL.

L'uso di circuiti CMOS d'altra parte non pone problemi di interfacciamento con il resto del circuito realizzato interamente con logica TTL - LS.

Il divisore U2 (74LS93) che segue immediatamente l'Oscillatore, serve a squadrarne la forma d'onda ed a diminuire subito la frequenza dell'oscillazione principale prima di entrare nella catena di divisione principale costituita dai circuiti CD4020.

Esso e' provvisto della resistenza di pull - up R_1 per

interfacciarsi con la logica CMOS.

Prima di esaminare le forme d'onda relative alla parte di programmazione chiariamo la funzione del doppio deviatore (SW1 - SW2) che e' presente sul pannello del Dispositivo. Poiche', come indicato nella Fig. 1 bis del paragrafo 1, l'intero ciclo di operazione e' di 6.7114 secondi, (finestra temporale) la forma d'onda completa da cui si prende tale finestra risulta di periodo uguale a 13.4228 secondi, e pertanto risulta non agevole vedere bene all'oscilloscopio tutte le forme d'onda (vedi Fig. 4) relative ad un ciclo completo di funzionamento del Dispositivo.

Lo scopo del doppio deviatore e' pertanto quello di escludere un divisore per 16384 in modo da rendere piu' veloce, in sede di controllo, tutto il funzionamento del Dispositivo, e poter quindi controllare agevolmente tutte le temporizzazioni.

Esaminiamo ora come si creano i segnali di controllo che gestiscono tutto il funzionamento del Dispositivo. Il circuito AND - USA prende dall'ultimo circuito (U4) della catena di divisione due frequenze di cui una e' 16 volte piu' veloce dell'altra.

La forma d'onda piu' lenta e' quella che stabilisce la durata della finestra temporale.

Ovviamente dal circuito AND passano solamente 8 impulsi della forma d'onda piu' veloce seguiti da un tempo in cui il segnale e' a livello logico " 0 " che corrisponde al tempo di attesa fra un ciclo di lavoro ed il successivo e

corrisponde pure al tempo di presentazione " T ' ". Il segnale così ottenuto è il Clock del Dispositivo. Questo segnale viene inviato direttamente all'Accumulatore (vedi Fig. 4) e viene anche inviato ad un circuito monostabile U8A - CD4098 per creare in corrispondenza del suo fronte di salita il segnale di Start - Conversione di durata pari a 1.5 µS come richiesto dalle specifiche del Convertitore A/D, essendo il periodo del segnale di Clock di durata troppo elevata.

Il segnale di Clock viene inoltre inviato al circuito U7 - CD4017 per creare il segnale di Clear da inviare all'Accumulatore.

Questo circuito realizza la funzione di decade con la particolarità che oltre ad avere l'uscita finale (carry out) ove si può prelevare un impulso ogni 10 del segnale di ingresso, ha anche 10 uscite decodificate che forniscono ognuna un solo impulso in successione temporale con gli altri ed in corrispondenza col relativo fronte di salita dell'impulsi d'ingresso.

Questa decade viene azzerata all'inizio di ogni ciclo di lavoro con il segnale che determina la finestra temporale, invertito dal circuito U6A - CD4069 perché richiesto dalle sue caratteristiche, per cui prendendo come uscita utile la seconda uscita decodificata avremo un segnale che va a livello logico " 1 " in corrispondenza del fronte di salita del primo impulso di Clock restandoci per un tempo pari alla durata del Clock e tornando a livello logico " 0 " in corrispondenza del secondo fronte di salita del Clock.

Dopodiche' resta in questo stato finche' non inizia un nuovo ciclo di lavoro (cioe' resta a livello " 0 " fino alla fine della finestra temporale e durante il tempo di presentazione " T ' " per risalire al livello " 1 " dopo una nuova apertura della finestra temporale ed in corrispondenza del fronte di salita del primo impulso di Clock).

Questo segnale viene invertito dal circuito U6B - CD4069 per ottenere il segnale di Clear necessario all'Accumulatoro, come si vede nelle forme d'onda di Fig. 4.

Esaminiamo ora le caratteristiche piu' importanti del Convertitore A/D.

Si tratta del circuito ADC08-AGZ-12 (U9) ed e' un convertitore ad approssimazioni successive con risoluzione di 12 Bit, a cui corrisponde un ciclo di conversione massimo di 25 μ S.

Nel Dispositivo in esame viene fatto funzionare in ciclo - corto di 8 Bit con un tempo massimo di conversione di 18 μ S.

Fra i vari possibili tipi di dinamica di ingresso e' stata scelta quella da 0 a + 5 Volt che si adatta alle caratteristiche del segnale d'ingresso nell'applicazione in esame.

I dati in uscita dal Convertitore A/D sono disponibili in forma parallela su 8 linee in codice Binario Puro Complementato (CSB), ed in questo modo vengono inviati all'Accumulatoro che provvedera' ad invertirli.

E' pure disponibile un'uscita dei dati di tipo seriale che non viene usata nel nostro caso.

Le linee di uscita sono TTL - compatibili e quindi possono essere connesse direttamente ai circuiti TTL che costituiscono l'Accumulatore.

La parola binaria in uscita dal Convertitore A/D e' disponibile sulle relative linee in corrispondenza del fronte di discesa del segnale di Status che rimane al livello logico " 1 " durante il tempo di conversione e torna al livello logico " 0 " alla sua fine.

Questo segnale, come si vede dallo schema, viene invertito dal circuito U6C - CD4069 prima di essere inviato all'Accumulatore, poiche' e' in questa forma negata che sara' usato.

I componenti collegati al Convertitore A/D hanno la seguente funzione :

i condensatori al tantalio $C_2 - C_3 - C_4$ hanno la funzione di disaccoppiamento per le tensioni di alimentazione del convertitore come suggerito dalle specifiche del costruttore, mentre la rete $R_3 - P_1 - C_5$ ha la funzione di taratura del guadagno del circuito.

Esaminiamo ora la Fig. 4 dove e' riportato l'Accumulatore, il Convertitore di Codice ed il sistema di Visualizzazione dei risultati.

Per i motivi descritti al paragrafo 2 l'Accumulatore lavora su di una parola di 12 bit ed e' articolato come di seguito descritto.

Si hanno due gruppi (U1 - U2 - U3 e U4 - U5) di

registri d'ingresso a 4 bit 74LS175, un gruppo (U6 - U7 - U8) di sommatore binari a 4 bit 74LS283 ed un gruppo (U9 - U10) di registri di uscita a 8 bit 74LS374.

Vediamo quindi il funzionamento d'insieme di tutto il circuito di Accumulazione.

Dopo che il livello della finestra temporale e' andato al livello logico " 1 " il primo impulso di Clock da' luogo, oltre che alla Conversione A/D, al segnale di Clear che nella sua forma invertita azzerava il primo gruppo di tre registri 74LS175 facendo presentare loro in uscita una parola di 12 bit tutti a " 0 " che sara', come gia' precedentemente detto, la prima parola da sommare ai primi dati che arriveranno dal Convertitore A/D. Gli altri registri d'ingresso non hanno bisogno dell'azzeramento iniziale perche' collegati direttamente al Convertitore A/D.

Avvenuta la prima conversione, in ingresso al secondo gruppo di registri 74LS175 saranno presenti i dati per la prima somma che il fronte di salita del segnale di Status negato fara' loro presentare in uscita.

Poiche' si e' precedentemente detto che il codice d'uscita del Convertitore A/D e' Binario Puro Complementato, di tali registri saranno utilizzate le uscite negate per riottenere i dati in forma vera.

In questa prima operazione il segnale di Status e' inviato anche al primo gruppo di registri d'ingresso senza peraltro avere effetto perche' questi sono ancora sotto il controllo

del segnale di Clear.

In questo momento quindi si hanno sui relativi ingressi dei circuiti sommatorei 74LS283 le due parole di 12 bit, la prima proveniente dai tre registri azzerati, la seconda proveniente dai registri seguenti il Convertitore A/D alla quale come sempre sono stati aggiunti quattro " 0 " per poter operare su 12 bit.

Tale aggiunta si ottiene cablando a livello logico " 0 " gli ingressi relativi del circuito sommatore corrispondente ai 4 bit piu' significativi delle 2 parole (U6). I circuiti sommatorei non hanno bisogno di comandi esterni per eseguire l'operazione che e' immediata sui bit d'ingresso.

Come si vede dallo schema sono collegati fra loro i vari riporti dal LSB al MSB.

L'uscita dei sommatorei, cioe' la prima parola risultato di 12 bit, viene presentata in ingresso ai due registri di uscita 74LS374.

Questi registri sono due soli poiche' non avendo bisogno del comando di Clear si sono potuti usare al posto dei 74LS175 con il risparmio fisico di un circuito, essendo ognuno di essi a 8 bit.

Il loro comune controllo di uscita e' messo a livello logico " 0 " per avere sempre le uscite abilitate. Il segnale di Clock e' stato intanto invertito dal circuito U29F - 74LS04 in modo che il suo primo fronte di salita risulti collocato nel tempo dopo quello dello Status negato.

Sara' quindi il fronte di salita di questo Clock negato che fara' presentare la somma ottenuta in uscita ai relativi registri.

Come si vede dallo schema questa uscita binaria viene presentata agli ingressi del Convertitore di Codice e contemporaneamente presentata sugli ingressi del primo gruppo di tre registri d'ingresso 74LS175 che sono sempre sotto il controllo del segnale di Clear.

Quindi i dati staranno in attesa sulle relative linee finche' non si avra' il fronte di salita del secondo impulso di Clock il quale riporterà a livello logico " 1 " il segnale di Clear (nella forma negata, che restera' in questo modo fino all'inizio di un nuovo ciclo di operazione) e dara' l'inizio alla seconda conversione che produrra' il secondo segnale di Status il cui fronte di salita (nella forma negata) fara' presentare in uscita ai registri d'ingresso U4 e U5 la seconda parola proveniente dal Convertitore A/D e ai registri U1 - U2 - U3 la parola corrispondente alla somma precedente.

Sui circuiti sommatore 74LS283 si produrra' allora una nuova somma parziale.

Questo fino all'ottavo impulso di Clock contenuto nella finestra temporale.

Il circuito Convertitore di Codice e' composto da otto circuiti U11/U18 - 74185 che trasformano i 12 bit in codice Binario Puro presentati dall'Accumulatore in 15 bit in codice BCD per il sistema di Visualizzazione dei risultati.

Ognuno di questi circuiti e' un convertitore Binario - BCD a 6 bit e svolge la funzione equivalente al seguente algoritmo :

- 1 - Esamina i tre bit piu' significativi; se la somma e' maggiore di quattro, aggiunge tre e sposta a sinistra un bit.
- 2 - Esamina ogni decade BCD; se la somma e' maggiore di quattro, aggiunge tre e sposta a sinistra un bit.
- 3 - Ripete il punto " 2 " fino a che il bit binario meno significativo e' nella locazione BCD meno significativa.

Ogni circuito ha l'ingresso del segnale di abilitazione posto a livello logico " 0 " come indicato dalle sue specifiche, come pure gli ingressi binari (E) non utilizzati.

Il circuito di Visualizzazione e' costituito da quattro display a 7 segmenti U23/U26 - D350PK del tipo a LED con catodo comune (K) collegato al livello logico " 0 " insieme all'ingresso relativo al punto decimale (P) che non viene usato.

Gli ingressi di questi display sono collegati direttamente alle uscite dei quattro circuiti U19/U22 - 74LS48 che provvedono a decodificare a gruppi di 4 i 15 bit in codice BCD, provenienti dal Convertitore di Codice, in 7 segmenti, abilitando a livello logico " 1 " quelli relativi alla cifra decimale corrispondente ai 4 bit. Questi circuiti sono progettati per pilotare direttamente questo tipo di display.

E' previsto anche un ingresso (LT) per il controllo del funzionamento dei display che e' normalmente a livello logico " 1 " tramite la resistenza R₁; quando questa linea a comune dei quattro circuiti viene messa a livello logico " 0 " tramite il pulsante SW1 si illuminano tutti i segmenti di tutti i display indicando la cifra 8888. Naturalmente sul circuito U19 il bit piu' significativo del gruppo MSD della parola BCD e' cablato a livello logico " 0 " in quanto i bit di questo gruppo piu' significativo sono solo 3.

Gli ingressi RBI dei circuiti non risultano collegati poiche' servono ad inibire la cifra decimale " 0 ". Invece gli ingressi BI/RBO controllano l'abilitazione delle uscite del circuito cioe' quando sono collegati a livello logico " 0 " tutte le uscite del circuito vanno a tale livello, per cui non si ha nessun segmento acceso sul display corrispondente.

Questa caratteristica e' sfruttata per la realizzazione dell'ultima parte del sistema di Visualizzazione e cioe' del circuito " Not Significant Zero Blanking " brevemente descritto nel paragrafo 2.

Poiche', come gia' detto cio' non deve interessare la cifra decimale meno significativa l'ingresso BI/RBO del circuito U22 non sara' collegato, mentre quelli dei circuiti U19/U21 saranno collegati alle uscite di quest'ultima parte dei circuiti illustrati in Fig. 4. Come vediamo dallo schema i gruppi di bit che formano la parola BCD, escluso L'LSD, vengono inviati parallelamente

oltre che ai circuiti Decodificatori/Pilota 74LS48 anche ai circuiti U27 - 7425 e U28 - 74LS27 e U29 - 74LS04 che realizzano una rete logica di circuiti " OR " (i circuiti 74LS04 servono solo ad invertire le funzioni NOR) che controlla i livelli logici " 1 " dei gruppi di bit che verranno trasformati in cifre decimali. Il funzionamento e' molto semplice : se i 4 bit relativi al circuito U21, che vanno in ingresso anche al circuito U27A, sono tutti a livello logico " 0 ", l'uscita dei circuiti U27A - U29A sara' a livello logico " 0 " e deve inviare tale livello all'ingresso BI/RBO del circuito U21 affinche' andando a livello logico " 0 " le sue uscite, non si accenda per niente il display U25; ma il livello in oggetto, per restare " 0 " deve trovare nelle stesse condizioni anche gli altri ingressi del circuito U28B - U29D a cui e' inviato insieme alle uscite dei circuiti " OR " che controllano i gruppi di bit piu' significativi.

Solo se questi sono tutti a livello logico " 0 " anche il nostro livello resta tale ed il display U25 resta spento. Altrimenti basta un solo livello logico " 1 " sugli ingressi dei circuiti U19 o U20 perche' l'uscita dei circuiti U28B - U29D sia a livello logico " 1 ", che verra' inviato all'ingresso BI/RBO del circuito U21 che fara' accendere il display U25 che indichera' la cifra decimale " 0 ".

Estendendo il ragionamento anche agli altri circuiti Decodificatori/Pilota vediamo che con questa semplice rete

si eliminano gli zeri non significativi a sinistra del numero effettivo indicato dai display.

La Fig. 5 mostra lo schema circuitale completo del Dispositivo, con evidenziate le parti relative agli schemi delle Fig. 2 - 3 - 4.

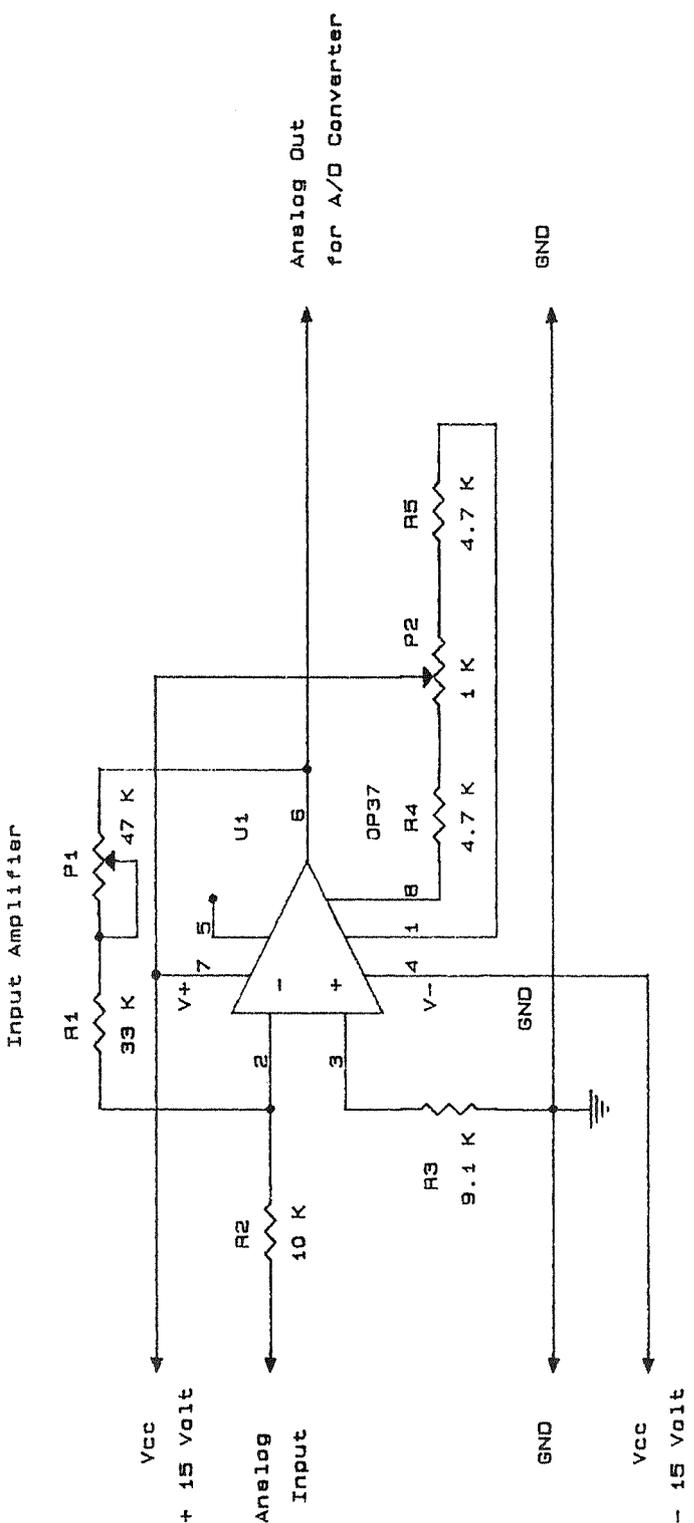
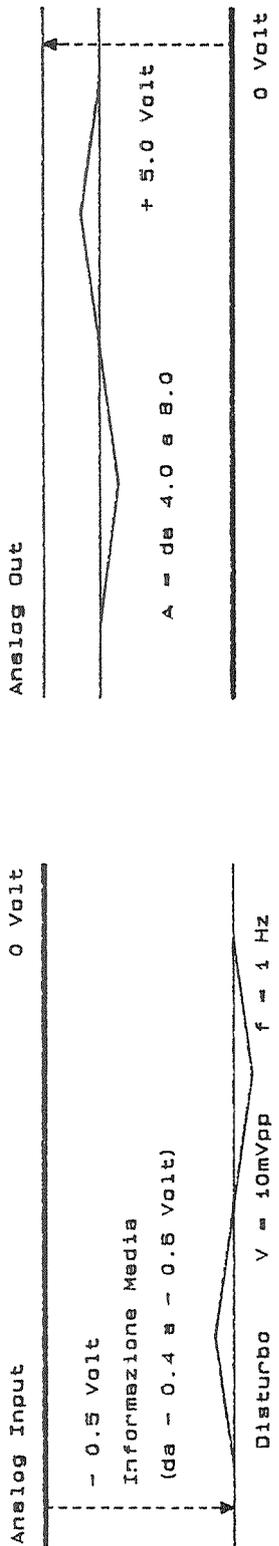
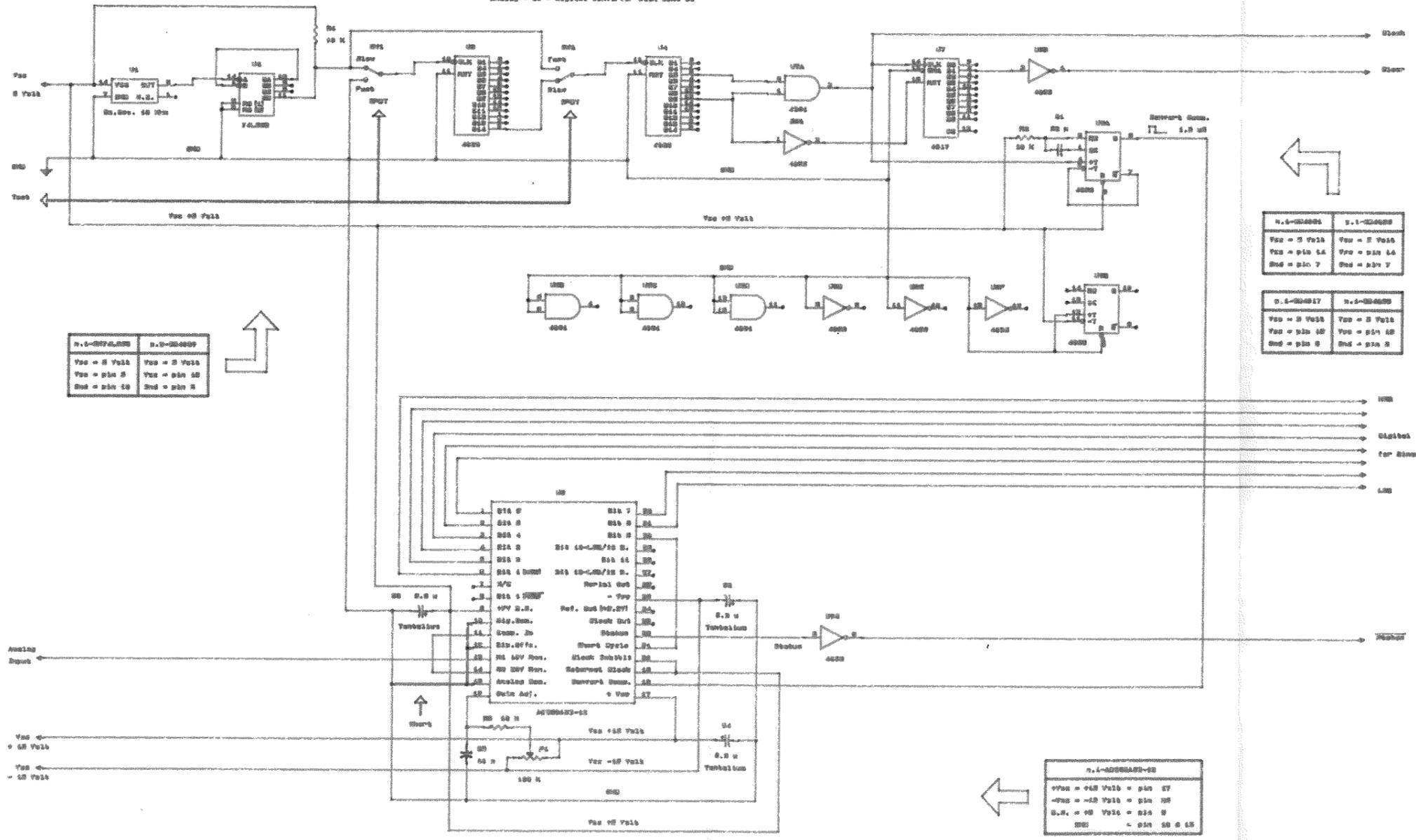


Fig. 2 - Amplificatore d'Ingresso

Fig. 3 - Convertitore A/D e Circuiti di Programmazione

Amlogic - 88 - Digital Converter with Control



N.1-0074-000	N.1-004009
Vcc = 5 Volt	Vcc = 5 Volt
Vcc = pin 5	Vcc = pin 16
Gnd = pin 10	Gnd = pin 8

N.1-004006	N.1-004008
Vcc = 5 Volt	Vcc = 5 Volt
Vcc = pin 14	Vcc = pin 14
Gnd = pin 7	Gnd = pin 7

N.1-004017	N.1-004009
Vcc = 5 Volt	Vcc = 5 Volt
Vcc = pin 16	Vcc = pin 16
Gnd = pin 8	Gnd = pin 8

N.1-000142-00
Vcc = +5 Volt = pin 17
Vcc = +5 Volt = pin 16
G.N. = +5 Volt = pin 8
GND = pin 10 & 15

Fig. 4 - Accumulatore, Convertitore di Codice e
Sistema di Visualizzazione dei Risultati

Fig. 5 - Schema Circuitale completo del Dispositivo

