

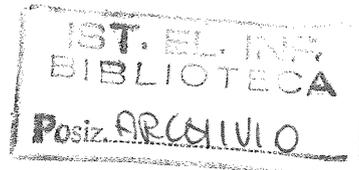
Contratto di consulenza scientifica c/t IEI-SEED '95.

Sistema sperimentale multiDSP per controllo qualità.
Progetto interfacce e realizzazione scheda FIFO-2C50/C40.

G. Bertini, L. Landucci, L. Leodori, M. Marani

nota tecnica B4 - 60

dicembre 1995



B4-60
1995

Per lo sviluppo del sistema oggetto di questa nota si ringrazia Luciano Azzarelli (IEI-CNR), Eugenio Mandelli (Legler) ed Enzo Gontero (Scriba) per avere promosso e contribuito a definire le specifiche dell'applicazione, Luigi Dall'Antonia per gli utili suggerimenti riguardo ad alcuni aspetti architettonici del sistema, Massimo Magrini e Massimo Liggio (SEED) per il loro contributo allo sviluppo di parti del sw ed infine Palmerino Tallarico Antonio Mois (Scriba) per il contributo al collaudo finale dell'intero set-up.

Sistema sperimentale multiDSP per controllo qualità. Progetto sezioni di interfaccia e realizzazione della scheda FIFO-2C50/C40.

Premessa

Il lavoro si inserisce nell'ambito della progettazione di sistemi nel campo del controllo industriale non distruttivo: in particolare nel caso in oggetto le funzioni principali del sistema da realizzare consistono nell'esaminare, riconoscere e classificare certi tipi di difetti in tessuti di stoffa di tipo denim rilevati da telecamere speciali.

Precedenti esperimenti e ricerche sul tipo di tecniche e algoritmi più adatti per lo scopo suddetto e collegati a studi nel campo dell'elaborazione di immagini sono stati effettuati dall'IEI in collaborazione con la Soc. Scriba e la Soc. Legler utilizzando vari tipi di telecamere, di illuminamento e di sistemi di calcolo per l'implementazione degli algoritmi. (non in tempo reale) Tale attività è ampiamente documentata in letteratura. (1, 2, 3).

L'obiettivo attuale da raggiungere con una collaborazione tra la Soc. Scriba, l'IEI e lo Studio SEED è quello dello sviluppo di un sistema che riesca a svolgere le suddette funzioni sul manufatto (pezza di stoffa) che viene effettivamente fatto scorrere ad una velocità sufficientemente elevata. L'ipotesi è quella di aumentare la velocità di elaborazione degli algoritmi per assicurare il funzionamento in tempo reale verificando la possibilità di sviluppare un sistema basato su microprocessori cosiddetti per DSP; anche per questo ci si avvale di precedenti esperienze di uso di DSP effettuate dall'IEI e dallo Studio SEED, se pur in settori diversi da quello in oggetto (4, 5).

1) Specifiche di progetto.

I dati di partenza più significativi forniti dalle soc. Scriba e Legler e considerati per definire le specifiche di progetto sono i seguenti:

- Flusso e modalità di invio dei dati acquisiti da telecamere (documento Scriba, Ing. Tallarico. all.n.1).
- Tipo e insieme minimo di algoritmi da implementare (tabella n. 1 allegato specifiche richieste)
- Struttura complessiva dei livelli delle elaborazioni (tabella n.2, allegato specifiche richieste).
- Controllo di almeno 1/3 dell'intera dimensione della striscia di stoffa
- Soddisfare la velocità di almeno 20 m/s, che è un terzo della velocità ipotizzata per il sistema definitivo.

Altre condizioni da tener presente:

- scadenze molto prossime entro cui poter effettuare una demo con funzionamento effettivo su un set-up sperimentale (max una decina di mesi).
- obiettivi di contenimento dei costi dell' hw e del sw entro limiti prefissati
- programmabilità sw degli algoritmi e delle funzioni principali
- possibilità di monitorare le varie elaborazioni possibilmente in ambiente PC IBM.
- possibilità di effettuare il porting della maggior parte del sw su un eventuale sistema definitivo possibilmente basato sugli stessi tipi di processori del sistema sperimentale.

Le funzioni principali richieste al sistema sono:

- per il primo livello di elaborazione con DSP fixed point (strato di analisi) l'esecuzione di una serie di algoritmi di medie e differenze di medie di valori di luminanza calcolati su finestre di dimensioni prefissate. Il flusso dei dati viene organizzato in sette tipi distinti relativi ai vari tipi di finestre e che producono corrispondentemente sette classi di difetti .
- per il livello di elaborazione con DSP floating point (livello di validazione) vengono confrontati i dati passati dal primo livelli con soglie calcolate opportunamente.

Inoltre va previsto lo scambio di una serie di informazioni dai due livelli di DSP verso il PC ospite (caricare i programmi, monitorare a run-time le operazioni, ecc.).

2) Definizione del sistema.

In base alle suddette funzioni, agli aspetti implementativi degli algoritmi e ad altre operazioni coinvolte, tenendo conto dei sistemi e dei dispositivi al momento presenti sul mercato e a vari altri criteri (rapporto costo/prestazioni ecc.) e a precedenti esperienze di progetto e realizzazioni (4, 5) si è ritenuto che una architettura multiprocessor basata su micro di tipo DSP è quella più adatta all'elaborazione in tempo reale di dati provenienti da sorgenti multiple, come è appunto il caso in oggetto. Per cui è stato deciso di sviluppare un sistema ridotto sperimentale basato su bus AT e schede con micro DSP general purpose di tipo commerciale, opportunamente connesse con interfacce realizzate appositamente (vedi disegno n.1). Per tale interfacciamento in questo tipo di applicazione si è ritenuto più adatto l'uso di memorie first-in/first-out sulle quali bufferizzare i vari flussi di informazione.

Con tale tipo di architettura si pensa di supportare la maggior parte degli algoritmi di interesse per la nostra applicazione. Da alcune valutazioni si è dedotto che la potenza di calcolo di cui disporre possa essere sufficiente per il lavoro su una porzione (1/3) dell'intera dimensione della striscia di stoffa da controllare e soddisfare la velocità di 20 m/s, che è un terzo della velocità ipotizzata per il sistema definitivo.

Partizione della realizzazione del sistema.

La suddivisione dei lavori è stata così assegnata:

- la Soc. Scriba si è occupata del progetto e realizzazione dell'hardware e del firmware di acquisizione e di preelaborazione. Questa parte contiene fisicamente, per comodità di realizzazione, anche la sezione di interfaccia tra il MODPRE con il primo livello di elaborazione.
- lo Studio SEED si è occupato dello sviluppo di tutto il sw applicativo e di supporto ai test sulle varie schede DSP, nonché della messa in funzione di tutta la stazione di lavoro.
- l'IEI si è occupato di dare un supporto generale su aspetti hw ed in particolare del progetto delle sezioni di interfaccia tra le varie unità e della realizzazione effettiva di quella tra il livello di analisi e quello di validazione.

Le fasi di studio delle architetture e dei test complessivi sono stati espletati con l'apporto delle parti interessate.

Di seguito ci riferiamo essenzialmente al lavoro di competenza dell'IEI

3) Specifiche di progetto delle sezioni di interfaccia (IEI)

Per il primo livello di elaborazione sono state scelte due schede con DSP fixed-point PC/C50 (strato di analisi) e per il secondo livello di elaborazione una scheda con DSP floating-point PC/C40 (strato di validazione); ambedue le schede sono della LSI.

Sono state studiate le caratteristiche hw e funzionali delle schede prescelte ed in particolare del protocollo di comunicazione DSPLINK

Progetto delle due sezioni di interfacciamento tra le schede, basate su ram fifo:

- la prima sezione permette la connessione tra hw di acquisizione-preelaborazione dei dati prelevati da telecamera (scheda MODPRE realizzata da Scriba, (schema a blocchi mostrato nel disegno n. 2) e il primo livello di elaborazione (due schede PC/C50 che operano affiancate):
- la seconda sezione permette la connessione tra le due schede PC/C50 e la scheda PC/C40. usando il DSPLINK (schema a blocchi mostrato nel disegno n. 3).

In particolare la seconda sezione di interfacciamento (scheda FIFO-2C50/C40) implementa sette canali fisici di bufferizzazione di informazioni a 16 bit (implementati con 14 ram fifo ciascuna da 4k byte 25 ns.); la logica di controllo dà la possibilità di smistare opportunamente le uscite del DSPLINK di ognuna delle due schede PC/C50 su diversi canali, selezionandoli via software dalla scheda PC/C40 (gen.- feb.-mar. '95).

4) Scheda di interfaccia FIFO.

L'interfaccia realizzata è costituita dalla scheda FIFO-2C50/C40 inseribile direttamente sul bus di compatibili PCIBM e che risolve in modo molto efficiente le modalità di interfacciamento veloce tra le schede della LSI PC C50 e PC C40 tramite l'uso di memorie FIFO. Sulla scheda sono previsti dei connettori su cui è implementato il DSP Link, per consentire collegamenti veloci, seriali e paralleli, con altri sistemi di calcolo e di I/O.

Anche di tale sistema è stato completato il progetto logico-elettronico, (disponibili nei manuali di manutenzione) sono stati curati i dettagli del progetto del master, della realizzazione degli stampati e la messa in funzione del prototipo realizzato.

Per quanto riguarda la disposizione dei componenti (mostrata nel disegno n.4) è stata scelta una soluzione in base all'assemblaggio di tutte le altre schede (mostrato nel disegno n. 5).

Per l'alloggiamento dell'intero sistema è stato necessario adottare un PC con rack cosiddetto di tipo industriale, che prevede 14 slot e una adeguata potenza di alimentazione.

5) Collaudo del sistema.

Il collaudo delle funzioni della scheda e di altre parti del sistema è stato effettuato in collaborazione con lo Studio SEED presso lo Studio stesso a Massa; in questa fase è stato utilizzato il Logic Analyzer HP 16500 dell'IEI (apr.-mag. '95).

Per quanto riguarda le prove funzionali sono state implementate delle routine sw con l'uso di driver forniti dalla LSI per le due schede PC C50 e PC C40; sostanzialmente sono stati verificati che il passaggio di dati tra queste schede sia eseguito correttamente utilizzando il PC come monitor. La realizzazione e la documentazione del sw è stata curata dallo studio SEED.

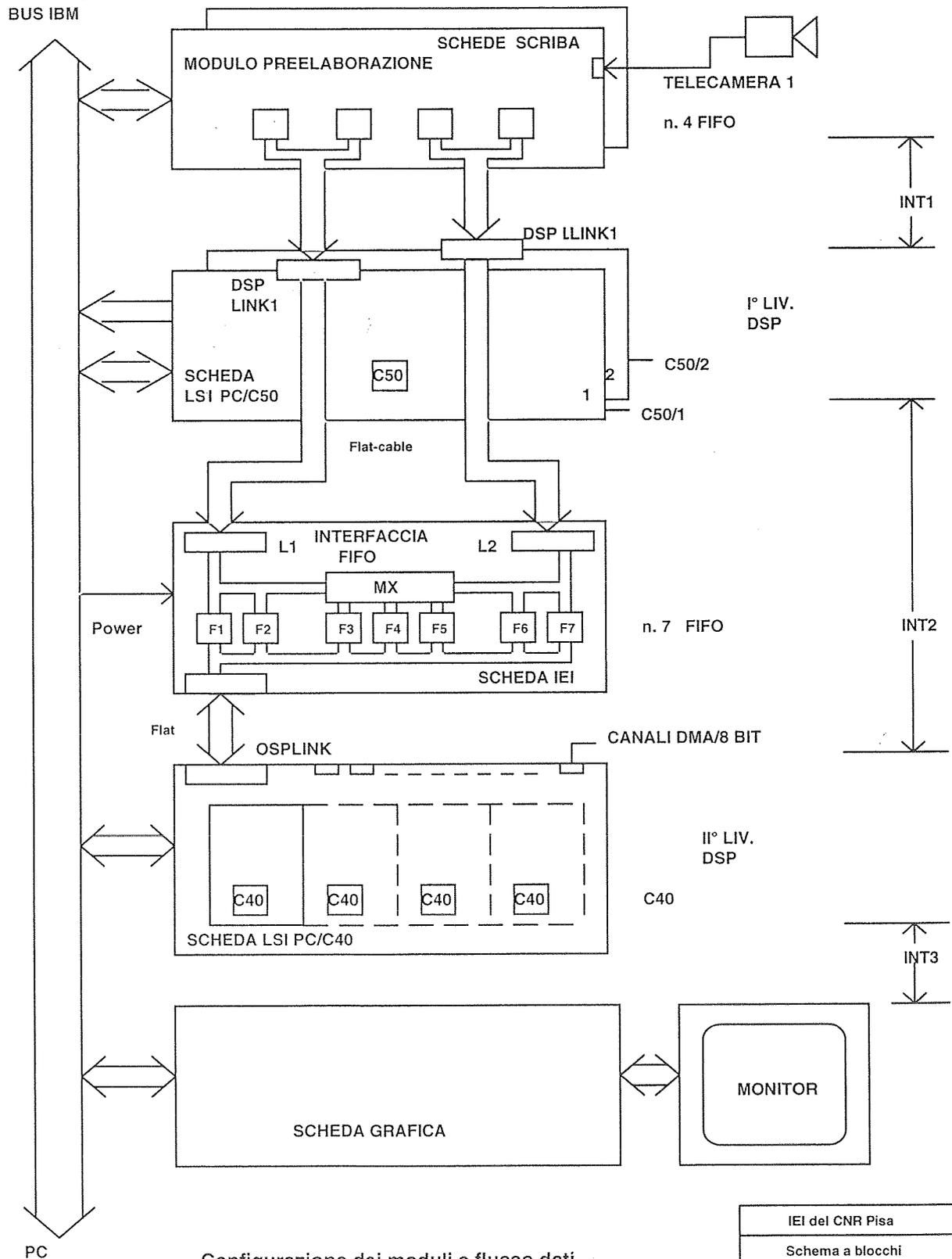
La verifica del funzionamento della prima sezione di interfaccia, quella tra il MODPRE e le due schede PC!C50 che implementa 4 canali di bufferizzazione, realizzata dalla Scriba e inserita direttamente sul MODPRE stesso è stata effettuata presso la sede della Scriba a Torino, (protattasi per la seconda metà del '95). Specie quest'ultima fase é risultata piuttosto laboriosa per due motivi:-

- problemi di funzionamento sul MODPRE dovuti al circuito stampato
- problemi di oscillazioni sui DSP link quando le lunghezze dei cavi piatti superano i 20-25 cm; in parte si ovvia a questi inconvenienti introducendo dei cicli di wait-state che non disturbano la fase attuale del lavoro, il cui obiettivo, ripetiamo, riguarda sostanzialmente la verifica del funzionamento degli algoritmi su un set-up sperimentale operante anche a velocità ridotta.

Bibliografia

- 1 - L. Azzarelli, M. Chimenti, R. Bozzi: "Simulation and design of an H/S integrated real-time system for flows detection on denim fabrics" IEI-CNR, Pisa, B4-36, 1001.
- 2 - L. Azzarelli, M. Chimenti: "Sistema integrato H/S per lo sviluppo e la gestione di procedure di ispezione per robot con teste multifunzione" PF Robotica, IEI-CNR, B4-56, 1992.
- 3 - L. Azzarelli, M. Bramanti, M. Chimenti, E. Salerno, O. Salvetti, E. Gontero, D. Nari: "A multiprocessor modular architecture for pattern segmentation" Proc. Ercim Workshop on Parallel Architectures for Computer Vision, Creta Grecia, 1992.
- 4 - G. Bertini, L.M. Del Duca, M. Marani: "The LeonardC25 System for Real-Time Digital Signal Processing" Int. Workshop in Man Machine Interaction in Live Performance, Pisa , 1991, pag. 107-117.
- 5 - G. Bertini, D. Fabbri: "MULTIC25, un sistema multiDSP con schede :LeonardC25" PF CNR SICP int rep.. R/2/108, 1993.

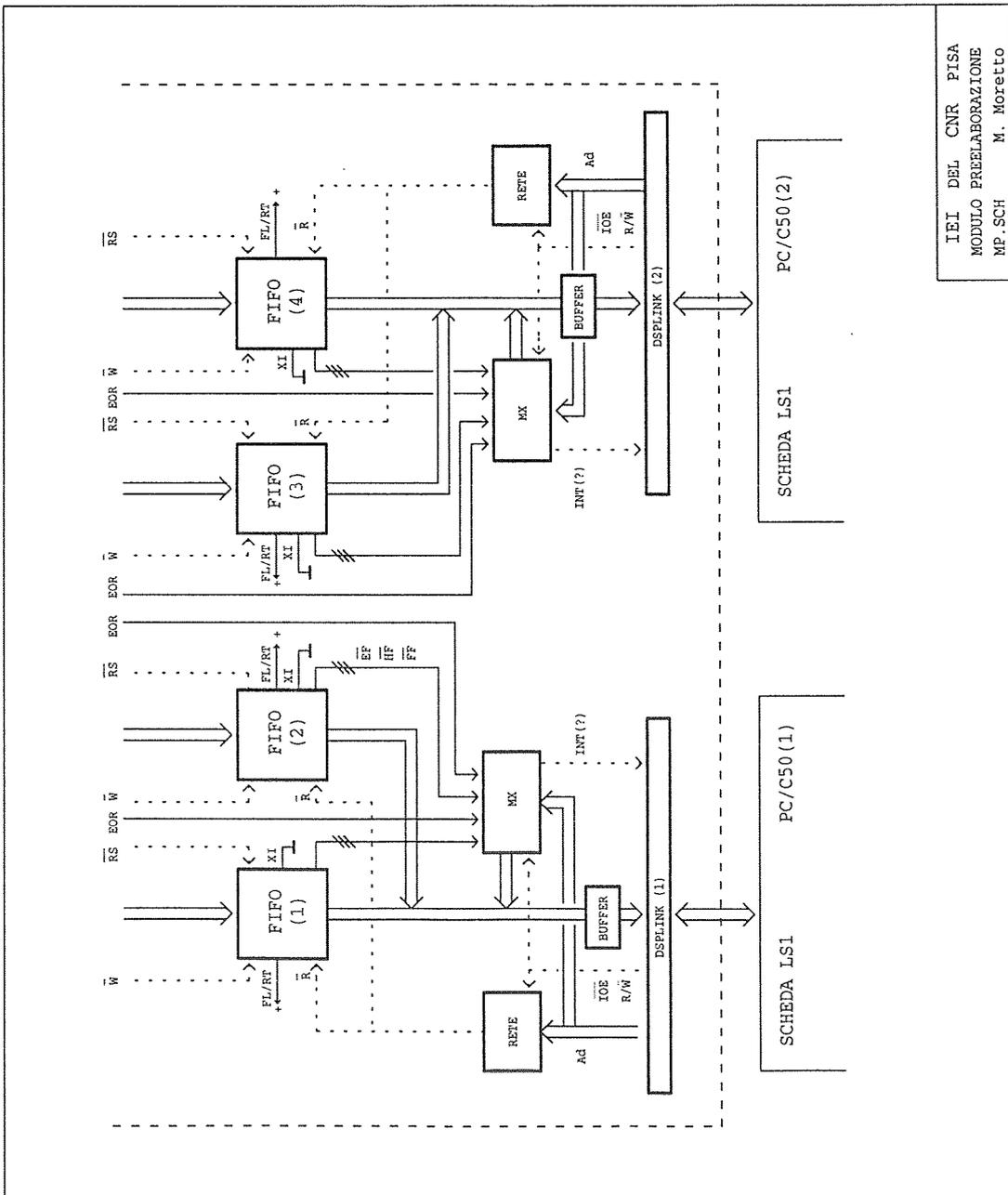
SISTEMA SPERIMENTALE MULTIPROCESSOR PER VALUTAZIONE ALGORITMI DI ELABORAZIONE



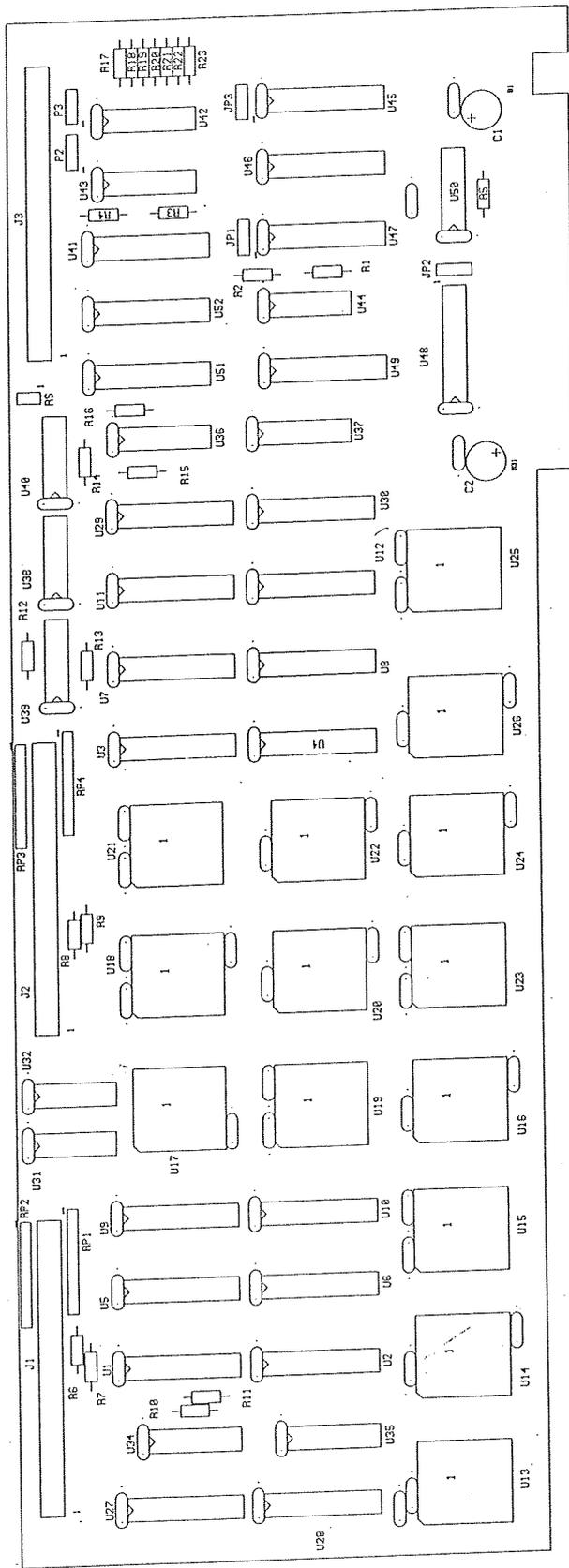
Configurazione dei moduli e flusso dati della stazione MULTIDSP

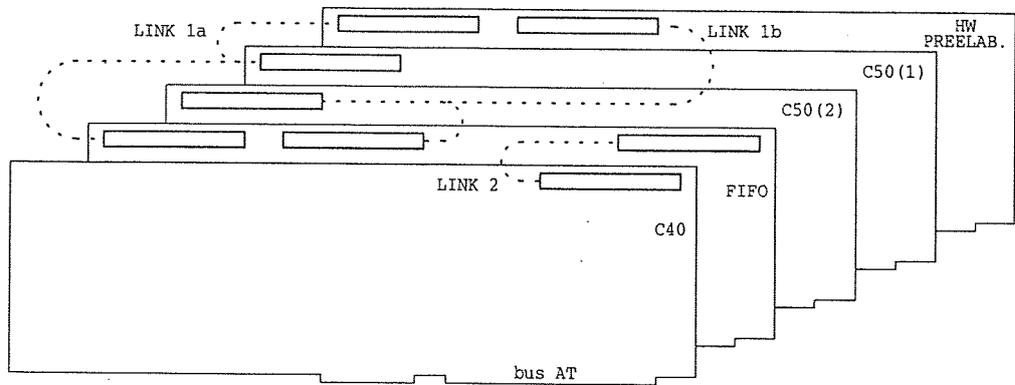
IEI del CNR Pisa
Schema a blocchi Staz. sperimentale MULTIDSP
DATA : 10/01/95 REV.

Dis. n. 1

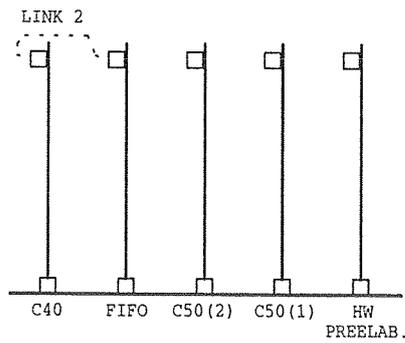
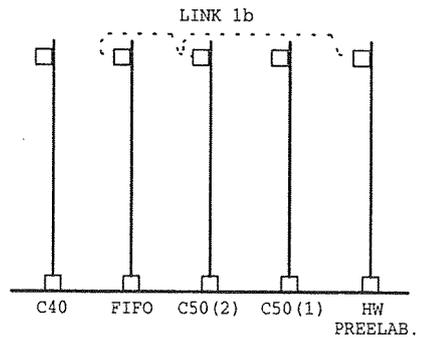
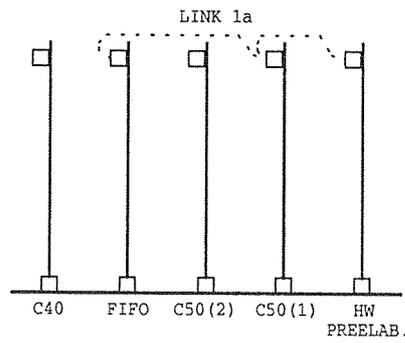


IEI DEL CNR PISA
 MODULO PRELABORAZIONE
 MP.SCH M. Moretto





Posizione delle schede sul bus AT



Posizione dei flat cable

IEI DEL CNR PISA
 STAZIONE MULTIDSP
 (SCRIBA - LEGLER)
 INT.sch M. Moretto